

# МИКРОПРОЦЕССОРЫ i.MX RT1064 ОТ NXP SEMICONDUCTORS

**ЕВГЕНИЙ ГОВОРОВ**, инженер-разработчик

*В статье рассматриваются основные, на взгляд автора, функциональные узлы микропроцессора i.MX RT1064 от компании NXP Semiconductors, базирующегося на ядре Cortex-M7. Микропроцессор занимает промежуточное положение между многочисленными относительно простыми микроконтроллерами и высокопроизводительными одно- и многоядерными высокопроизводительными микропроцессорами семейства i.MX.*

## СЛОВАРЬ

**AIPS** – шина ARM для IPS  
**AIPSTZ** – мост между шиной АНВ и ведомыми периферийными IP-модулями  
**ALE** – сигнал блокировки адреса  
**APB** – высокопроизводительная периферийная шина  
**AXI** – расширенный интерфейс  
**BEE** – шина шифрования  
**CCM** – модуль управления тактированием  
**CSI** – интерфейс видеокамеры  
**DCP** – сопроцессор данных с криптографическими аппаратными ускорителями  
**ENC** – квадратурный энкодер/декодер  
**EWM** – внешний сторожевой монитор  
**FLEXRAM** – модуль управления ОЗУ  
**FlexSPI** – контроллер двух каналов SPI, работающих в режиме 1/2/4/8 линий двунаправленной передачи  
**FPU** – модуль операций с числами с плавающей запятой  
**GPC** – общий контроллер управления питанием  
**GPT** – таймер общего назначения  
**HAB** – высоконадежная безопасная загрузка  
**IOMUXC** – мультиплексор ввода/вывода  
**IP** – интеллектуальная собственность (Intellectual Property)  
**IPS** – ведомые модули IP  
**LCDIF** – интерфейс ЖКД  
**LPCG** – модуль распределения тактовых частот  
**MQS** – звук среднего качества  
**NIC** – система межсетевых соединений  
**OSCP\_CTRL** – однократно программируемая память с массивом eFUSE  
**OSCRAM** – контроллер RAM  
**PIT** – таймер формирования периодических прерываний  
**PMU** – модуль управления питанием  
**PXP** – пиксельный конвейер, обработка 2D-изображений  
**RTWDOG/WDOG3** – независимый сторожевой таймер повышенной надежности  
**SAI** – синхронный аудиоинтерфейс  
**SEMC** – интеллектуальный контроллер внешней памяти  
**SNVS** – безопасное энергонезависимое хранилище  
**SJC** – системный контроллер JTAG  
**SPDIF** – цифровой интерфейс Sony/Philips  
**TCM** – тесно связанная с ядром память (с быстрым доступом)  
**TMR** – счетверенный таймер  
**TRNG** – генератор случайных чисел  
**WDOG** – сторожевой таймер  
**uSDHC** – цифровой хост-контроллер с повышенной защитой

В конце 2018 г. компания NXP Semiconductors анонсировала микропроцессоры реального времени (МП) i.MX RT1064. Именно слово «микропроцессоры», а не «микроконтроллеры» фигурирует в названии, точнее Crossover Processors, что, скорее всего, можно перевести как «межплатформенные процессоры». Дело в том, что семейство i.MX RT занимает промежуточное положение между многочисленными относительно простыми микроконтроллерами и высокопроизводительными одно- и многоядерными высокопроизводительными микропроцессорами семейства i.MX.

В таблице перечислены все представители семейства i.MX RT, и приведены главные отличия между ними. Красным цветом выделены отличия между параметрами микропроцессоров (МП) правого столбца от микропроцессоров левого столбца. МП семейства могут найти самое широкое применение во многих приложениях, к которым относится промышленный человеко-машинный интерфейс, интернет вещей, управление электроприводом и т.д.

Как видно из таблицы 1, наибольшей функциональностью обладает МП i.MX RT1064 [2]. О нем и пойдет речь в этой статье. Структурная схема МП i.MX RT1064 приведена на рисунке 1. Руководство пользователя МП i.MX RT1064 содержит более 3500 страниц

Таблица. Основные параметры и отличия микропроцессоров семейства i.MX RT

Параметр	i.MX RT1015	i.MX RT1020	i.MX RT1050	i.MX RT1060	i.MX RT1064
Процессорное ядро	Cortex-M7	Cortex-M7	Cortex-M7	Cortex-M7	Cortex-M7
Главная тактовая частота, МГц	500	500	600	600	600
ОЗУ, Кбайт	256	256	512	1024	1024
Флэш-память, Мбайт	–	–	–	–	4
Интерфейс внешней памяти	–	8/16 бит для SDRAM, SRAM, NOR, NAND	8/16 бит для SDRAM, SRAM, NOR, NAND	8/16 бит для SDRAM, SRAM, NOR, NAND	8/16 бит для SDRAM, SRAM, NOR, NAND
Ethernet	–	10/100 Мбит/с × 1	10/100 Мбит/с × 1	10/100 Мбит/с × 1	10/100 Мбит/с × 1
Графика	–	–	2D-ускоритель	2D-ускоритель	2D-ускоритель
Интерфейс видеокамеры CSI	–	–	8/10/16-бит параллельный	8/10/16-бит параллельный	8/10/16-бит параллельный
ЖКД	–	–	8/16/18/24-бит параллельный	8/16/18/24-бит параллельный	8/16/18/24-бит параллельный
I2S/SPDIF	3/1	3/1	3/1	3/1	3/1
АЦП/высокоскоростной АЦП	1/0	2/0	2/0	2/0	2/0
Аналоговые компараторы/ЦАП	–	4/0	4/0	4/2	4/0
Корпус	LQFP-100	LQFP-100, LQFP-144	BGA-196	BGA-196	BGA-196
Диапазон рабочей температуры	0–95°C; –40...105°C	0–95°C; –40...105°C	0–95°C; –40...105°C	0–95°C; –40...105°C	0–95°C; –40...105°C

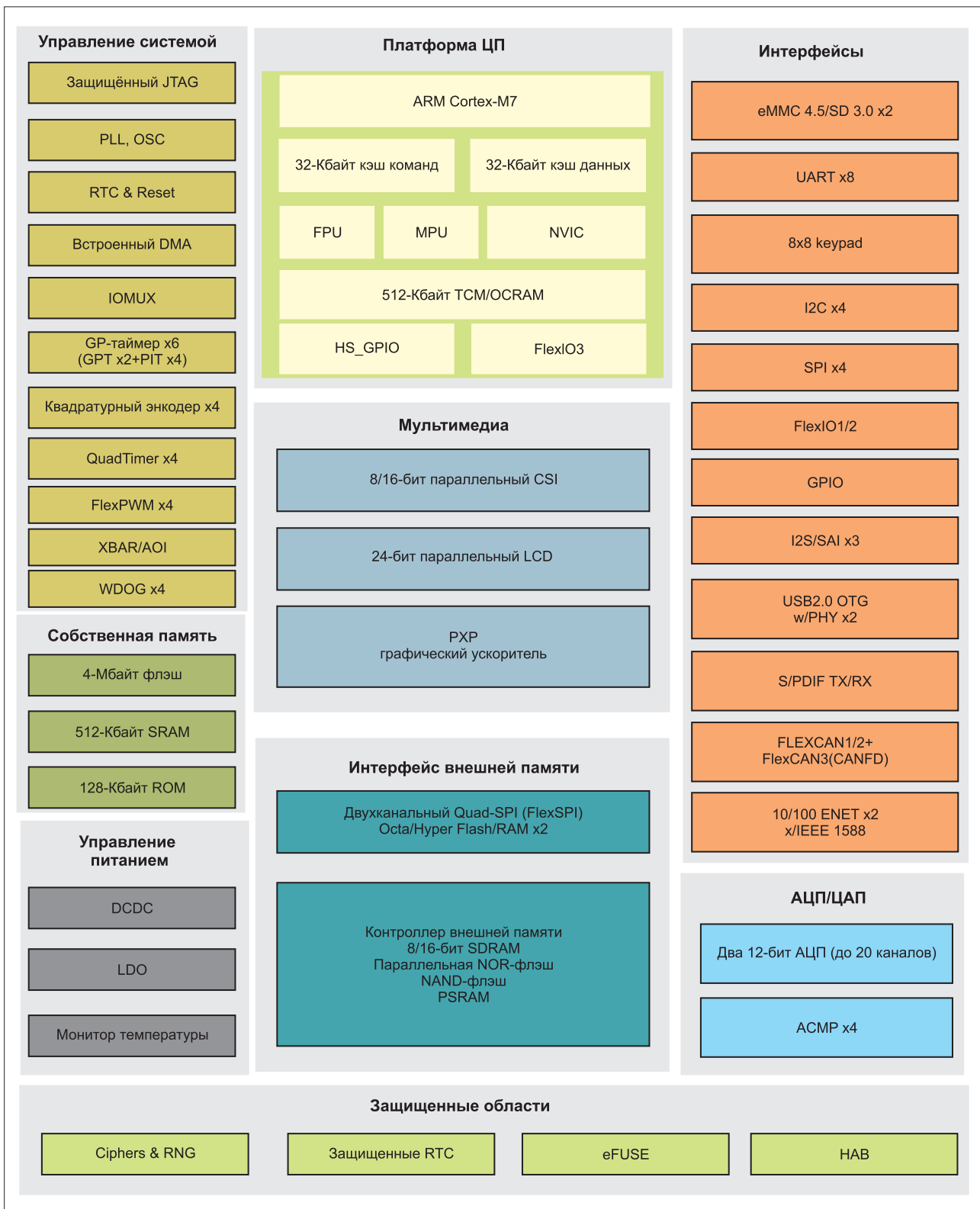


Рис. 1. Структурная схема МП i.MX RT1064

и, конечно, невозможно рассмотреть подробно все функциональные модули МП. По этой причине мы исключили из рассмотрения ряд узлов. Например, в статье не описаны интерфейсы. Их состав хорошо виден на структурной схеме (см. рис. 1) – это стандартные интерфейсы, ничем не отличающиеся от таковых у других хорошо описанных микроконтроллеров. Отметим лишь наличие модуля

управления сенсорной панелью размером 8×8 в интерфейсном блоке МП.

#### ПЛАТФОРМА CORTEX-M7 И СИСТЕМНАЯ БЕЗОПАСНОСТЬ

Ядро Cortex-M7 относительно новое. Поскольку, на наш взгляд, микроконтроллеры с этим ядром еще не очень широко представлены на отечественном

рынке, мы остановимся на его описании подробнее. Структурная схема платформы Cortex-M7 приведена на рисунке 2. Кратко перечислим некоторые основные особенности ядра Cortex-M7:

- 6-ступенчатый конвейер;
- аппаратное умножение 32-бит чисел и 32-бит MAC за 1 цикл;
- аппаратное деление 32-бит чисел за 2–12 циклов;

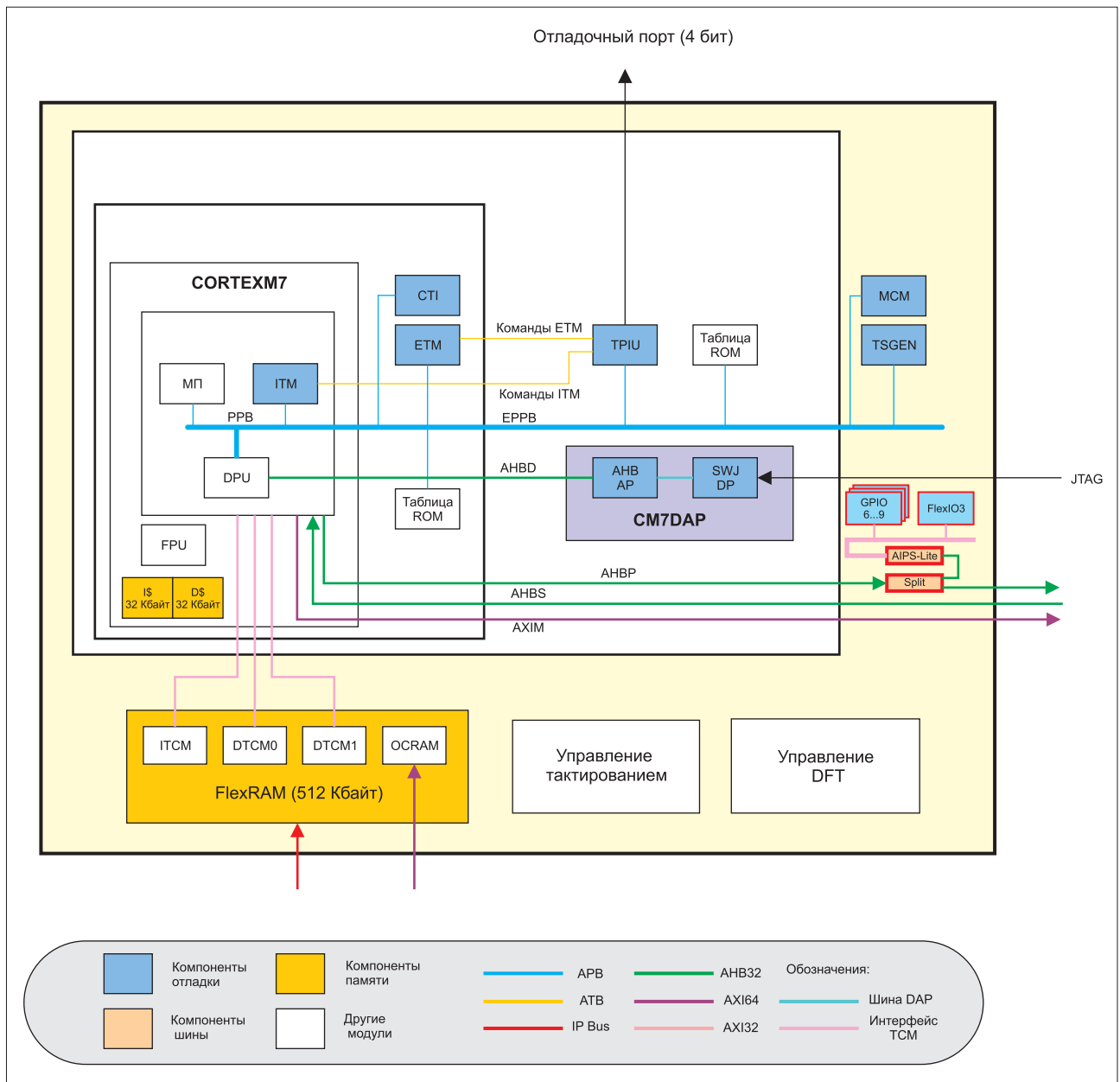


Рис. 2. Структурная схема платформы Cortex-M7

- 8/16 бит SIMD;
- до 240 прерываний и 8–256 уровней приоритета, а также немаскируемые прерывания;
- контроллер пробуждения с 240 источниками пробуждения;
- модуль FPU реализует арифметику с одинарной и двойной точностью;
- кэш команд и данных до 64 Кбайт каждый. В описываемом МП используется кэш команд и данных объемом по 32 Кбайт;
- встроенная память команд и данных до 16 Мбайт каждая с возможностью защиты с помощью ECC;
- блок предсказания ветвлений;
- блок защиты памяти.

У МП, изготовленного по 28-нм техпроцессу, мощность потребления ядра составляет 33 мВт/МГц при питании 0,9 В. По тестам CoreMark/МГц получен

результат 5/МГц. Заметим, что у известного и очень широко распространенного ядра Cortex-M4 значение этого показателя составило 3,4/МГц. Тестирование по методу Dhrystone в зависимости от условий испытаний дало следующие результаты: 2,14/2,55/3,23 DMIPS/МГц. Напомним, что в тесте CoreMark оценивается возможность обработки матриц, списков и аналогичные задачи, а тест Dhrystone оценивает производительность при выполнении арифметических операций с целыми числами.

Упомянем еще систему межсетевых соединений NIC, которая конфигурируется арбитром для ведомых и ведущих устройств расширенного интерфейса AXI с 64-бит шиной. NIC конфигурируется на этапе разработки ЧНК или МП с учетом конкретных требований проекта. В нашем случае система NIC настро-

ена компанией NXP Semiconductors, содержит пакет поддержки платформы и не требует вмешательства пользователя.

При необходимости изменить эти настройки следует иметь в виду, что в результате может уменьшиться производительность. В частности, NIC картирует адресное пространство и поддерживает синхронизацию работы узлов при неодинаковых частотах тактирования. Заметим, что система NIC не имеет непосредственной связи с портами ввода/вывода.

В состав контроллера OCRAM входит ОЗУ емкостью до 512 Кбайт, схемы управления записью и чтением. Память конфигурируется модулем FlexRAM через интерфейс ввода/вывода IOMUXC. Память ОЗУ является ведомым модулем интерфейса AXI. Контроллер поддержи-

вает банки памяти и связь с портом AXI. Поскольку возможен одновременный приход запросов на чтение и запись, в каждый банк памяти встроен арбитр, работающий по кольцевой схеме. Если запрос на чтение и запись приходит к разным банкам памяти, то оба запроса обрабатываются одновременно.

При необходимости можно ввести задержку на чтение данных длительностью два цикла. Если задержка не вводится, то для транзакции чтения требуется только один цикл. Точно также можно ввести задержку в один цикл на чтение адреса. Если задержка не вводится, чтение адреса занимает один цикл. Аналогично можно ввести задержку в один цикл на запись данных и адреса.

Модуль FLEXRAM управляет всеми ОЗУ (кроме кэш-памяти ядра), входящими в состав МП: памятью TCM данных и команд и ОЗУ общего назначения; общий объем этих ОЗУ составляет 1 Мбайт. Модуль FLEXRAM управляет энергосберегающими режимами и синхронизацией памяти. Заметим, что в режимах с низким энергопотреблением данные могут сохраняться только в одном банке ОЗУ (банк 0). Кроме того, имеется возможность запретить обращение к банкам 8–15. В этом случае объем ОЗУ ограничен 256 Кбайт.

Модуль AIPSTZ служит мостом между шиной АНВ и ведомыми периферийными модулями IPS. Поддерживаются 8-, 16- и 32-бит периферийные модули. Мост занимает 1 Мбайт в адресном пространстве, поддерживает до 32 внешних 16-Кбайт ведомых периферийных устройств и два внешних периферий-

ных пространства. Чтение занимает не менее двух циклов и не буферизуется. Процедура записи длится не менее трех циклов. Если приходит 64-бит запрос, AIPSTZ формирует из него два 32-бит запроса.

Кроме того, мост AIPSTZ обеспечивает конфигурируемую защиту доступа для каждого модуля. Право доступа основано на уровне привилегий и ресурсов домена. Пользователь может запрограммировать уровень привилегий для каждого ведущего устройства, а также определить, является ведущее устройство доверенным или нет. Заметим, что только доверенное устройство может иметь защиту от записи.

Мастер шины АНВ записывает или считывает через мост AIPSTZ состояние регистра периферийного модуля. Мост AIPSTZ также формирует сигнал разрешение доступа к периферийным модулям, реализует трансфер данных между этими модулями и шиной АНВ. Каждый мост, подключенный к периферийным устройствам IPS, имеет обозначение AIPS. В состав МК входят три модуля AIPS. Периферийные устройства распределены между этими модулями.

Модуль AIPSTZ имеет защищенный блок, который подключен к каждому периферийному устройству вне платформы Cortex-M7. В этом блоке записаны права доступа к нему других устройств. Доступ к каждому периферийному модулю настраивается индивидуально.

Поскольку МП i.MX RT1064 может найти применение в ответственных системах, вопросы безопасности весьма актуальны. В МП встроена аппаратная система безопасности, которая должна

заметно облегчить создание безопасного устройства. Структурная схема этой системы показана на рисунке 3. В ней реализованы следующие функции.

- Высоконадежная безопасная загрузка HAB, обеспечивающая аутентификацию и защиту от загрузки неавторизованного ПО, а также верификацию сигнатуры кода при загрузке.
- Центральный модуль безопасности CSU. Модуль устанавливает взаимодействие между ведущими и ведомыми периферийными устройствами, конфигурирует последние по доменам, что косвенно помогает защитить их от несанкционированного воздействия.
- Безопасное энергонезависимое хранилище SNVS-ключей с монитором в реальном времени.
- Криптографический аппаратный ускоритель, в котором реализован алгоритм AES128 и уникальный аппаратный ключ.
- Генератор случайных чисел TRNG.
- Сопроцессор данных DCP с криптографическими аппаратными ускорителями. Реализованы алгоритмы AES128, SHA1, SHA256, CRC32.
- Однократно программируемая память OCOP\_CTRL с массивом eFUSE.
- Системный контроллер SJC сканирования JTAG.
- Модуль шифрования шины BEE.
- Модуль FlexSPI дешифровки данных флэш-памяти.

#### ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ

В МП имеется встроенная память, ОЗУ общей емкостью 1 Мбайт и флэш-память на 4 Мбайт. ОЗУ мы уже описали. Флэш-

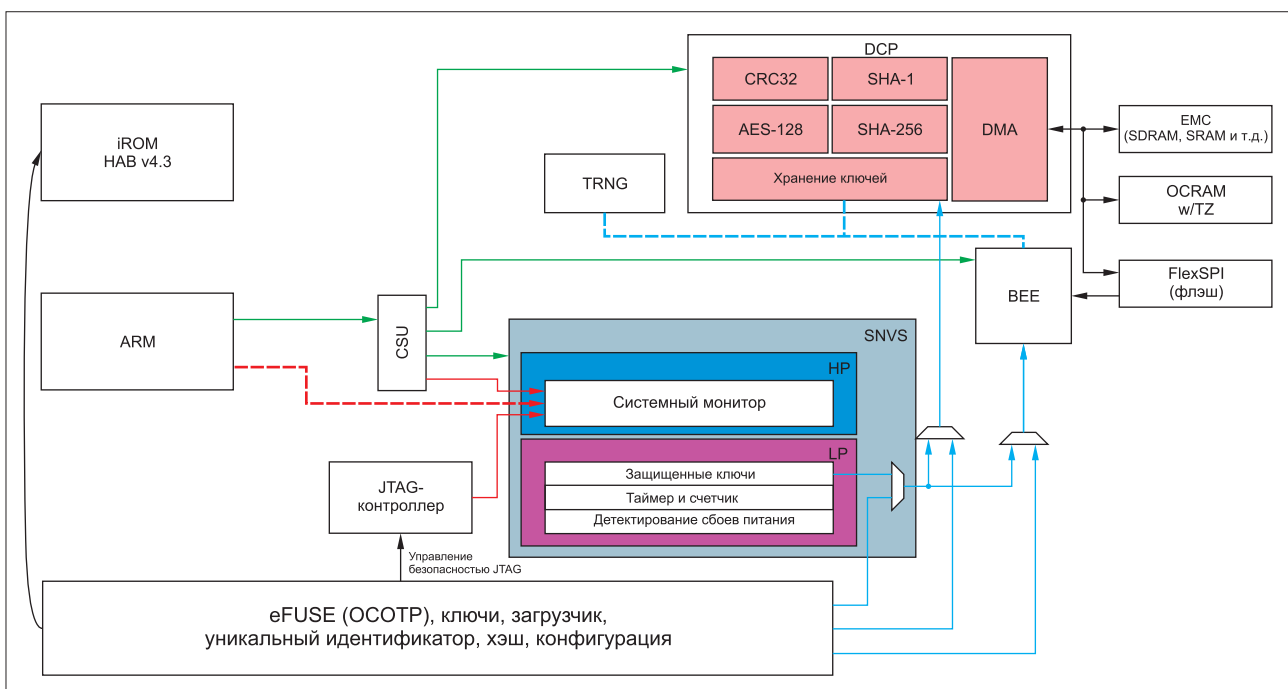


Рис. 3. Структурная схема системы безопасности

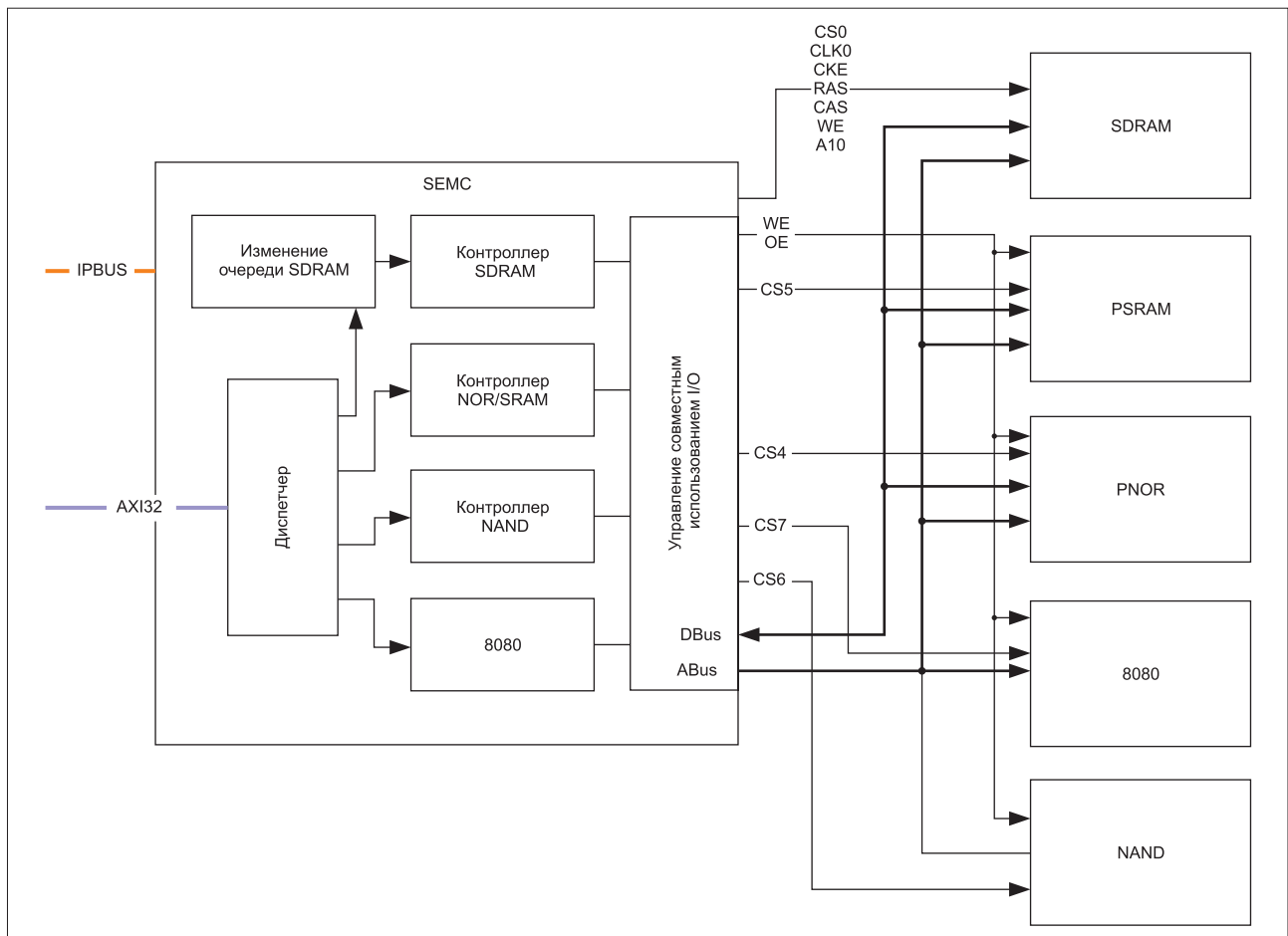


Рис. 4. Структурная схема контроллера SEMC

память представляет собой готовый модуль W25Q32JV от компании Winbond. Вся информация о нем можно получить на сайте производителя [3].

Для взаимодействия с внешней памятью в МП предусмотрен интеллектуальный контроллер внешней памяти SEMC. Его структурная схема показана на рисунке 4. Поскольку в целом он иллюстрирует возможность использования внешней памяти, в дальнейшем описании мы ограничимся кратким перечислением его особенностей.

- Контроллер SEMC может одновременно взаимодействовать с несколькими микросхемами памяти типа SRAM, SDRAM, флэш-память NOR и NAND, а также с дисплейным интерфейсом 8080.
- Поддерживаются восемь областей памяти по 512 Мбайт каждая.
- Формируются до пяти сигналов выборки кристалла CS.
- Формируются сигналы блокировки адреса ALE.
- Интерфейс SDRAM:
  - возможна работа в 8- и 16-бит режимах;
  - до 512 Мбайт на каждую линию CS.
- Интерфейс NOR и SRAM:
  - возможна работа в 8- и 16-бит режимах;

- поддерживается асинхронный режим;
- мультиплексирование шин адреса и данных;
- до 128 Мбайт на каждую линию CS.
- Интерфейс 8080:
  - поддерживаются 8/16/24-бит режимы;
  - частота до 100 МГц.
- Интерфейс NAND:
  - 8/16-бит режим;
  - только асинхронный режим;
  - поддерживается только режим постраничного обращения.

Контроллер SEMC может работать в трех режимах. В режиме запрета обращения (disable) тактирование модуля приостанавливается, но доступны все конфигурационные регистры и регистры состояния. В режиме «Стоп» помимо остановки тактирования недоступны и все регистры. И, наконец, в активном режиме доступны все функциональные возможности контроллера.

Помимо контроллера SEMC в состав МП входят два цифровых хост-контроллера uSDHC с повышенной защитой. Они реализуют интерфейс SD/eMMC с картами SD/SDIO/MMC. Эти контроллеры поддерживают стандарт SD/SDIO до версии 3.0 и стандарт MMC до версии 4.5. Для карт SDIO скорость

передачи данных в режиме SDR достигает 800 Мбит/с при использовании четырех параллельных линий передачи данных. В режиме SDIO при использовании четырех параллельных линий скорость передачи данных составляет 400 Мбит/с, а в режиме MMC при восьми параллельных линиях максимальная скорость передачи данных возрастает до 1600 Мбит/с.

Третьим модулем для коммуникации с внешней памятью является контроллер FlexSPI. Этот контроллер поддерживает два канала SPI и до четырех внешних устройств. Каждый из каналов SPI может работать в режиме 1/2/4/8 линий двунаправленной передачи данных. Контроллер FlexSPI поддерживает микросхемы памяти разных производителей. Перечислим некоторые его особенности.

- Поддержка следующих типов микросхем:
  - последовательная NOR-флэш или другие устройства со схожим протоколом;
  - последовательная NAND флэш;
  - HyperFlash/HyperRAM;
  - ПЛИС.
- Доступ к памяти:
  - режим 1/2/4/8-параллельных линий;
  - режим SDR/DDR;

- индивидуальный параллельный режим.

Контроллер FlexSPI, как и контроллер SEMC, имеет несколько режимов работы с пониженным энергопотреблением. В режиме запрета обращения (disable) тактирование шины AHB приостанавливается, но тактирование шины модулей IPS продолжается. Доступны конфигурационные регистры и регистры состояния, но флэш-память недоступна.

Режим ожидания (Doze mode) схож с режимом запрета обращения (disable) за исключением возможности доступа к некоторым регистрам, а также способам входа и выхода из этого режима. Режим «Стоп» практически такой же, как и у контроллера SEMC. В активном режиме доступны все функциональные возможности контроллера.

### ТАКТИРОВАНИЕ И УПРАВЛЕНИЕ ПИТАНИЕМ

Микропроцессор i.MX RT1064 предназначен для приложений с низким энергопотреблением, работающим без

принудительного охлаждения. Кроме того, большое значение имеет длительный цикл автономной работы без подзарядки или смены батарей и возможность быстрого выхода из режимов с пониженным энергопотреблением. При этом от МП требуется высокая пиковая производительность и стабильная производительность в активном режиме.

Для совмещения этих противоречивых требований необходимо создать адаптивную систему управления питанием и тактированием. Задача довольно амбициозная – обычно производители выпускают на рынок либо микроконтроллеры с очень малым энергопотреблением, либо делают акцент на производительность, что приводит к росту энергопотребления.

Пожалуй, можно выделить две компании, которым удастся совместить низкое энергопотребление и высокую производительность: это NXP, изделиям которой посвящена эта статья, и Renesas, решающая эту непростую задачу за счет большого числа режимов с низким энергопотреблением, а также путем индиви-

дуального отключения питания каждого периферийного модуля. Разработчики NXP решили эту задачу, усовершенствовав систему управления питанием и тактирования.

Каждая шина питания в МП имеет два уровня управления. Верхний уровень управляется централизованно ресурсами МП, а локальный – на уровне конкретных модулей. Структурная схема системы управления питанием и тактированием верхнего уровня показана на рисунке 5. Система состоит из следующих основных модулей.

- Модуль управления тактированием CCM. Управляет источниками частоты, а также формированием и распределением тактовых последовательностей на верхнем уровне.
- Модуль распределения тактовых частот LPCG. Этот модуль с низким энергопотреблением распределяет тактовые частоты на нижнем уровне.
- Модуль управления питанием PMU. Формирует питание на верхнем уровне системы распределения питания.

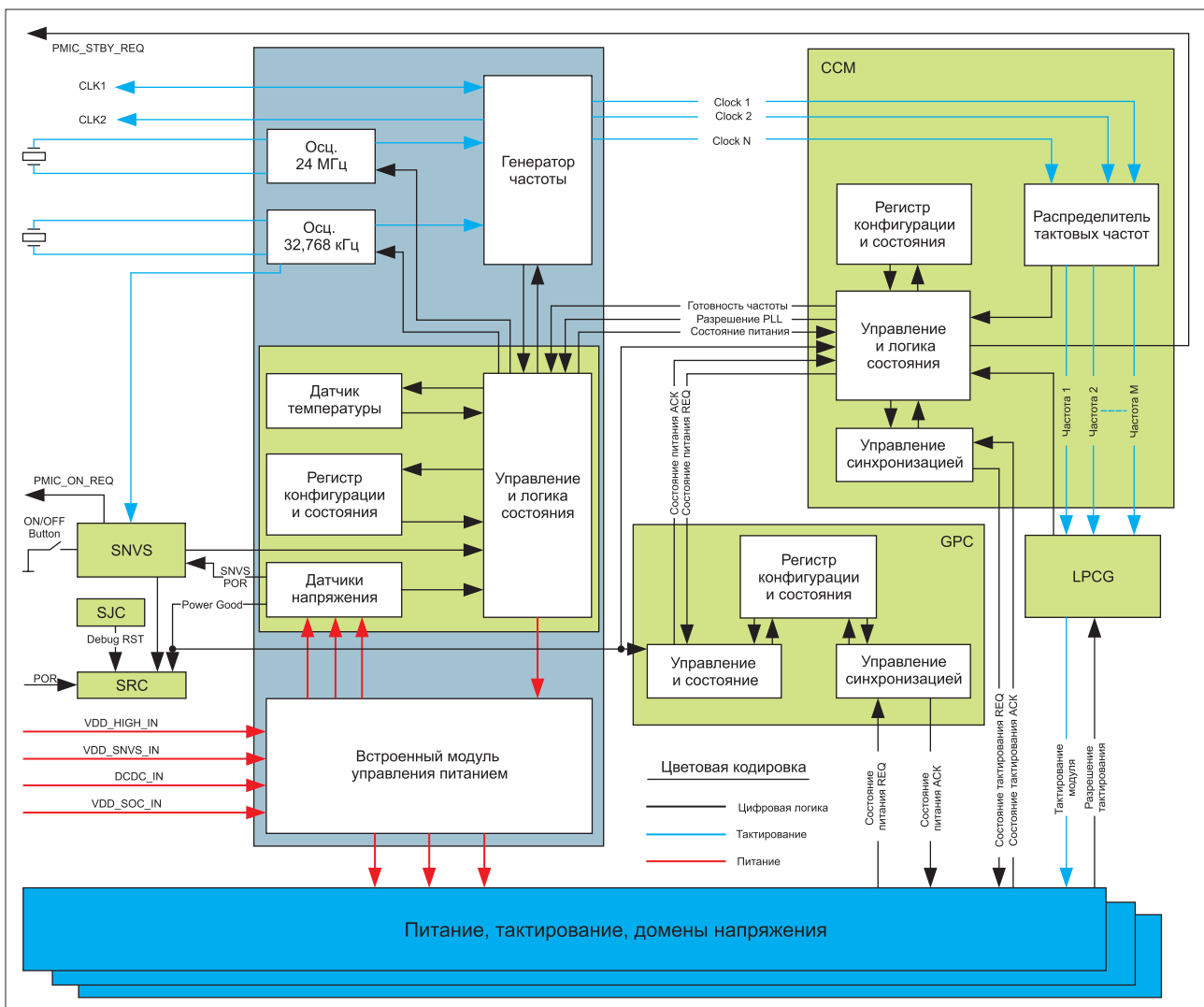


Рис. 5. Структурная схема системы управления питанием и тактирования верхнего уровня

– Общий контроллер управления питанием GPC. Управляет распределением питания на верхнем уровне и поддерживает до 160 прерываний.

К встроенным осцилляторам подключаются два внешних кварцевых кристалла с частотами 32,768 кГц и 24 МГц. Тактовые частоты формируются с помощью восьми модулей ФАПЧ. В системе используются два аппаратных протокола. Главный протокол описывает взаимодействие между модулями CCM, LPCG и ведомый протокол, действующий между модулями CCM/LPCG и ведомыми модулями.

Все модули МП разделены на независимые частотные домены, каждый из которых тактируется собственной частотой. Управление частотой тактирования, вплоть до полного ее отключения, позволяет уменьшить динамическое энергопотребление МП. В общей сложности предусмотрено формирование более 20 тактовых последовательностей.

Напряжение питания модулей МП формируется с помощью четырех встроенных LDO-регуляторов и DC/DC-преобразователя. Выходное напряжение последнего находится в диапазоне 0,9–1,3 В и регулируется с шагом 25 мВ. LDO-регуляторы создают напряжение питания аналоговых блоков и USB. Наличие встроенных регуляторов напряжения заметно упрощает внешнюю цепь питания МП – требуются всего два внешних напряжения, не считая резервной батареи.

Отметим одну важную особенность МП i.MX RT1064. В нем предусмотрен запрос извне о состоянии системы питания. Имеется и возмож-

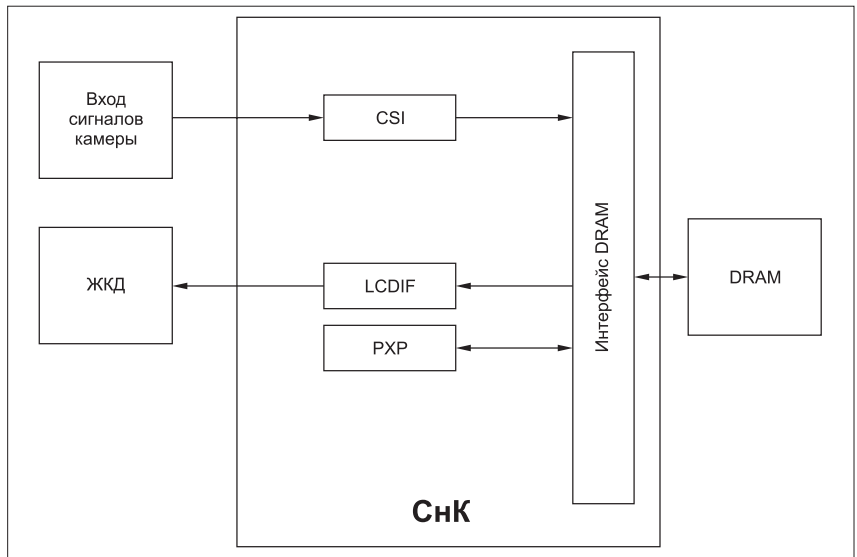


Рис. 6. Структурная схема управления видеокамерой и ЖКД

ность изменять это состояние. Таким образом, можно реализовать пробуждение системы и даже формировать временную диаграмму пробуждения, которую формирует встроенная логика. Возможны два режима внешнего управления: программируемый и непрограммируемый.

Тепловая защита реализована с помощью модуля датчика температуры. В нем предусмотрены три пороговых значения температуры: низкий, высокий и аварийный уровни. Все пороговые уровни задаются пользователем. При превышении температурой аварийного уровня следует сброс МП, чтобы избежать случайного сброса из-за помех. Превышение аварийного уровня должно быть зарегистрировано в четырех подряд измерениях температуры.

### УПРАВЛЕНИЕ ВИДЕОКАМЕРОЙ И ДИСПЛЕЕМ

Структурная схема управления видеокамерой и ЖКД показана на рисунке 6. В состав системы управления входят три основных модуля:

- LCDIF – контроллер RGB ЖКД;
- PXP – пиксельный конвейер для обработки 2D-графики;
- CSI – 24-бит параллельный интерфейс камеры.

Контроллер LCDIF может управлять широким спектром дисплеев, в т. ч. дисплеями с асинхронным параллельным интерфейсом MPU, с интерфейсом DOTCLK, с высокой скоростью передачи данных VSYNC. В контроллере предусмотрен буфер кадра и отдельные каналы DMA. Поддерживаются шины данных шириной 8/16/24/32 бит.

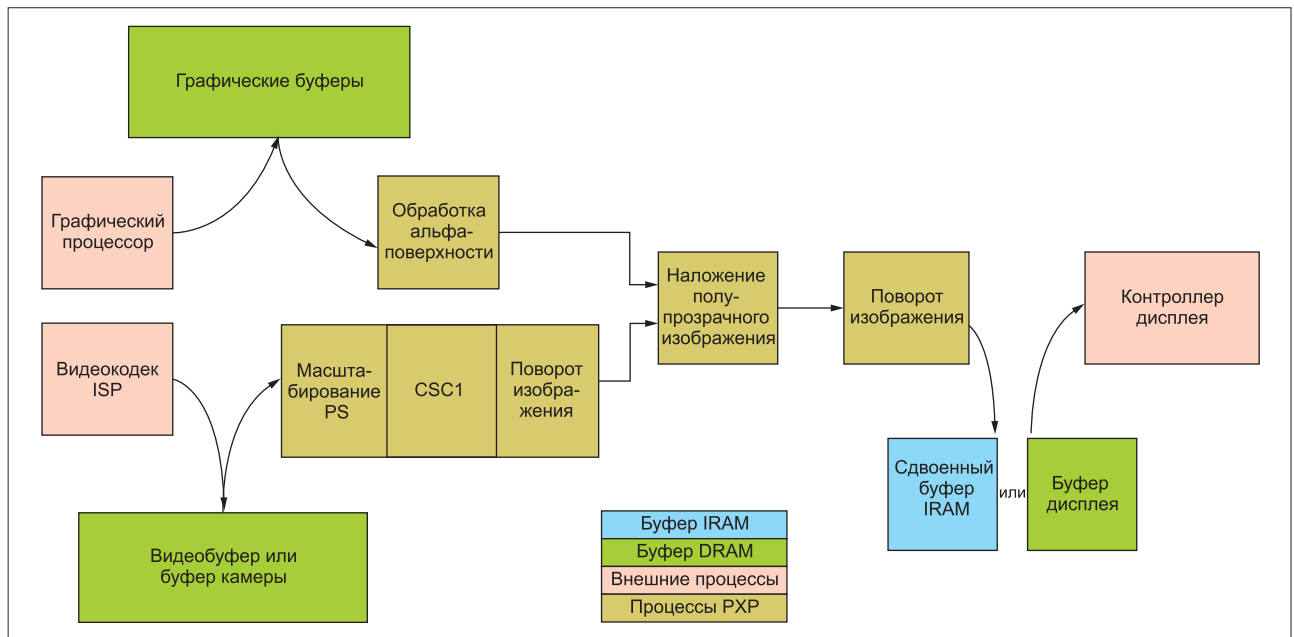


Рис. 7. Функциональные возможности конвейера PXP

Запрос внешнего устройства инициирует передачу данных из внешней памяти в дисплей. Эта процедура используется для обновления данных на экране дисплея и происходит автономно без привлечения ресурсов ЦП. Для получения сложных изображений, когда требуется вмешательство ЦП, используется высокопроизводительная периферийная шина APB и каналы DMA. Их сочетание позволяет свести к минимуму вмешательство ЦП.

Пиксельный конвейер PXP применяется для обработки графических данных перед выводом их на дисплей. Кроме того, он используется для кодирования ТВ-сигналов. Модуль PXP позволяет минимизировать размер дисплейного конвейера – последовательного вывода кадров на дисплей. Модуль PXP способствует реализации масштабирования, преобразованию цифрового пространства и повороту изображения. Все функциональные возможности конвейера PXP показаны на рисунке 7, после ознакомления с которым дальнейшее описание модуля не потребуется.

Модуль интерфейса видеоканера CSI позволяет МП напрямую подключаться к КМОП-датчикам изображения. Последние разделяются на два вида: простые камеры (Dumb sensors) и интеллектуальные камеры (Smart sensors). Модуль CSI работает с камерами обоих типов. Простые камеры поддерживают вертикальную, горизонтальную синхронизацию и вывод данных в коде Байера.

Интеллектуальные камеры поддерживают также стандарт CCIR656 и осуществляют предварительную обработку данных: сжатие, фильтрация, преобразование формата данных. Модуль CSI за счет конфигурируемой входной логики может работать с наиболее распространенными стандартами видеоканера. К уже перечисленным выше возможностям CSI добавим еще несколько интересных, на наш взгляд, характеристик:

- 8/10/16-бит порт для данных, передаваемых в коде Байера;
- преобразование 8/10/16-бит пикселей в 64-бит формат;
- встроенный канал DMA для передачи данных из FIFO приемника;
- поддержка двойной буферизации двух кадров во внешней памяти.

### АУДИОПОДСИСТЕМА

Структурная схема аудиоподсистемы показана на рисунке 8. В ее состав входят три модуля синхронного аудиоинтерфейса SAI, цифровой интерфейс Sony/Philips SPDIF для передачи и обработки стереозвука и модуль MQS для

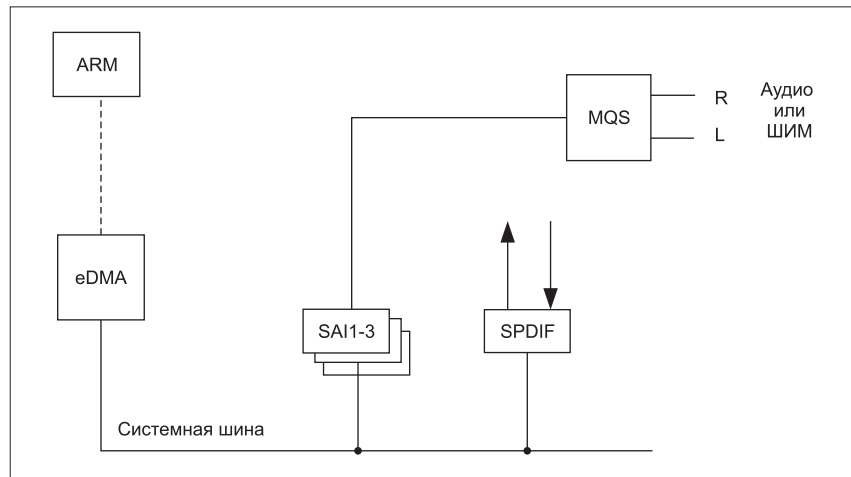


Рис. 8. Структурная схема аудиоподсистемы

передачи звука среднего качества. Рассмотрим каждый из этих модулей.

Модуль SAI служит для обработки и передачи внешнего звукового сигнала; при этом модуль SAI-1 имеет четыре входных и четыре выходных линии, причем на каждой из них может использоваться разная скорость передачи данных и разная синхронизация кадров. Модули SAI-2 и SAI-3 имеют по одной входной и выходной линии. Модуль SAI-1 применяется в многоканальных системах и поддерживает в общей сложности до восьми входов или восьми выходов аудиосигнала с параметрами 384 кГц/32 бит. Модули SAI-2 и SAI-3 могут использоваться для формирования входа и выхода звукового стереосигнала с параметрами 384 кГц/32 бит.

В модуле используется интерфейс I2S, поддерживающий дуплексную передачу данных с синхронизацией кадров. Размер кадра по любой из линий SAI не может превышать 32 слов, а размер слова выбирается из диапазона 8–32 бит. Соответственно, размер буфера FIFO составляет 32×32 бит. Модуль SAI можно перевести в режим пониженного энергопотребления. Помимо общего сброса предусмотрен программный сброс модуля и сброс буфера FIFO.

Цифровой интерфейс Sony/Philips SPDIF позволяет принимать и передавать стереозвук с использованием стандарта IEC60958. Интерфейс SPDIF в МП i.MX RT1064 поддерживает один канал приема и один канал передачи. SPDIF обрабатывает и данные о состоянии канала, и данные пользователя, а также с высокой точностью измеряет частоту входного сигнала.

Интерфейс SPDIF можно разделить на две функциональные части – приемник и передатчик. Приемник получает аудиоданные и разделяет их с использованием левого и правого буферов FIFO глубиной по 16 слов. Данные поступают

в передатчик от процессора через соответствующие регистры в левый и правый буферы FIFO емкостью по 16 слов. При заполнении FIFO до определенного уровня формируется запрос на обслуживание, и передатчик формирует битовый поток в соответствии со стандартом IEC 60958.

Модуль звука среднего качества MQS использует для вывода сформированного звука в линии порта ввода/вывода общего назначения. Модуль формирует звуковой сигнал ШИМ, который подается непосредственно на усилитель мощности. Такое решение позволяет избавиться от ЦАП. Частота дискретизации звукового сигнала составляет 44 или 48 кГц.

### ТАЙМЕРЫ

В состав МП входит довольно разветвленная система таймеров. Перечислим их.

- GPT. Таймер общего назначения базируется на 32-бит счетчике с 12-бит предделителем.
- PIT. Таймер формирования периодических прерываний. В его состав входят 32-бит счетчики; при этом программируется модуль счета, временные интервалы, время и т.д.
- TMR. Счетверенный таймер с четырьмя независимыми каналами таймеров.
- ENC. Квадратурный энкодер/декодер используется для сопряжения МП с датчиками скорости/положения.
- FlexPWM. Каждый подмодуль ШИМ этого модуля может управлять силовым каскадом полумоста.
- RTWDOG/WDOG3. Независимый сторожевой таймер повышенной надежности, доступен для системы.
- WDOG. Сторожевой таймер помогает избежать непредвиденных ситуаций и ошибок ПО.
- EWM. Внешний сторожевой монитор используется для контроля над внешними устройствами.



В составе таймера общего назначения GPT помимо 32-бит счетчика и предварительного делителя имеются два входных регистра захвата и три выходных регистра сравнения. Таймер осуществляет операции захвата сравнения, причем значение счетчика таймера может быть захвачено (записано в регистр) и по внутреннему событию, и по внешнему сигналу. При захвате или сравнении могут формироваться прерывания. Таймер взаимодействует только с ЦП и логически не связан с другими периферийными модулями.

Таймер формирования периодических прерываний PIT содержит массив таймеров, которые могут формировать маскируемые прерывания и сигналы пуска для каналов DMA. Можно запрограммировать последовательное соединение таймеров.

В состав счетверенного таймера TMR входят четыре идентичных канала, каждый из которых базируется на 16-бит таймере/счетчике. Для каждого из них используется индивидуальный предварительный делитель. Каждый из каналов может применяться для захвата/сравнения, возможна и синхронизация начала счета. Таймеры могут каскадироваться.

Каждый подмодуль модуля ШИМ FlexPWM имеет разрешение 16 бит. Выход подмодуля можно сконфигурировать как комплементарную пару. Возможна синхронизация с внешними сигналами. Полярность выходного сигнала, как и мертвое время, программируется независимо для каждого подмодуля. Каналы, не задействованные для формирования ШИМ, можно использовать для захвата сигнала.

В состав квадратурного энкодера/декодера ENC входит логическая схема для декодирования входного квадратурного сигнала и 32-бит счетчик. Старт определения положения

может инициироваться внутренним или внешним событием. Функцию сравнения удобно использовать для индикации заданного положения вала. Встроенный сторожевой таймер поможет определить отсутствие вращения вала. Упомянем еще 16-бит регистр определения изменения положения. В нем содержатся данные об изменении положения вала между соседними считываниями.

#### АНАЛОГОВЫЕ МОДУЛИ

В заключение кратко упомянем об аналоговых модулях МП. В их состав входят два 12-бит АЦП последовательного приближения и четыре аналоговых компаратора. Максимальная производительность АЦП составляет 1 Мвыб/с. По выбору пользователя возможны режимы 8-, 10- и 12-бит преобразования. К каждому АЦП подключаются до 16 входных каналов аналоговых сигналов. Дифференциальная нелинейность при 12-бит преобразовании составляет 0,76 МЗР, интегральная нелинейность – 2,78 МЗР.

Входы аналоговых компараторов коммутируются через мультиплексор. Опорное напряжение для них формируется с помощью встроенного 6-бит ЦАП. Размах входного сигнала компараторов равен напряжению питания. Значение гистерезиса задается пользователем. Задержка распространения сигнала в зависимости от режима работы составляет 25 или 50 нс. ⇐

#### ЛИТЕРАТУРА

1. *Большой семинар NXP Semiconductors и ГК «Симметрон». Часть 2//Электронные компоненты. № 12. 2018.*
2. *i.MX RT1064 Processor Reference Manual.*
3. [www.winbond.com](http://www.winbond.com).