

Lattice Semiconductor: шаг вперед в развитии программируемой логики

В настоящее время на рынке микросхем программируемой логики присутствует множество производителей, основными из которых являются: Xilinx, Altera, Lattice Semiconductor, Actel и Atmel. Традиционно большинство российских разработчиков выбирают между продуктами Altera и Xilinx. Продукция других фирм также находит свое применение, но их доля невелика. Такая ситуация связана прежде всего с тем, что продукты Xilinx и Altera первыми появились на российском рынке, и их применение сегодня во многом обусловлено наличием опыта работы как с самими микросхемами, так и со средствами разработки, традициями применения ПЛИС одного производителя в рамках одного предприятия и действительными и мнимыми рисками, связанными с переходом на новую элементную базу. Однако прогресс не стоит на месте. Сегодня компания Lattice Semiconductor предлагает продукты, во многом превосходящие аналогичные у конкурентов, и эти продукты достойны внимания.

Андрей КИСЕЛЕВ
kiselev@microem.ru

Компания Lattice Semiconductor была образована в 1983 году как разработчик без собственных производственных мощностей. Головной офис компании находится в г. Хиллсборо, штат Орегон, США. Ввиду того, что Lattice Semiconductor не располагает собственными производственными мощностями, микросхемы производятся на заводах и по технологическим нормам Fujitsu. В сравнении с конкурентами это является большим преимуществом. Например, 90-нанометровая технология Fujitsu позволяет сделать на один слой металлизации больше, чем технологии заводов TSMC или UMC, на которых изготавливаются микросхемы Altera и Xilinx соответственно.

В 1986 году Lattice Semiconductor вышла на рынок PLD малой плотности, в 1989 году акции компании были размещены на бирже NASDAQ. В 1991 году компания Lattice Semiconductor совершила революцию на рынке ПЛИС, представив первую CPLD большой плотности с возможностью внутрисхемного программирования. Сегодня все продукты компании, базирующиеся на технологии E2 или Flash, могут программироваться и перепрограммироваться в системе. В 1999 году Lattice Semiconductor приобрела компанию Vantis, до этого входившую в состав AMD и специализировавшуюся на разработке программируемой логики для коммуникационных приложений, а в 2002 году — отделение компании Agere Systems, занимавшееся разработкой FPGA. Это позволило компании Lattice Semiconductor в том же 2002 году пред-

ставить новые продукты на рынке FPGA. В настоящее время Lattice Semiconductor — это более 900 сотрудников по всему миру и серьезный, набирающий мощь конкурент на российском рынке для таких монстров, как Altera и Xilinx.

Стоит отметить, что на западном рынке продукция Lattice Semiconductor широко применяется производителями телекоммуникационных и компьютерных систем, а также, систем военного применения. Так, Lattice Semiconductor поставляет более половины PLD для рынка телекоммуникаций.

Сегодня в спектре продукции компании Lattice Semiconductor представлены и микросхемы FPGA (микросхемы семейств LatticeSC, LatticeEC/P, LatticeECP2/M, LatticeXP2, LatticeXP и MachXO), и PLD (ispXPLD5000MX, ispMACH4000/Z, ispMACH4A5, ispGAL), и уникальные аналого-цифровые продукты (ispClock и Power Manager II).

Аналого-цифровые решения Lattice Semiconductor

Lattice Semiconductor специализируется на разработке микросхем программируемой логики, однако в линейке продуктов компании есть решения с интегрированной логикой и аналоговой периферией. Это семейства ispClock и Power Manager.

Микросхемы семейства ispClock представляют собой ПЛИС специального назначения, предназначенные для замены сложных систем тактирования на однокристальное решение.

Спектр применения этих микросхем довольно широк. Кратко охарактеризовать целевые применения для микросхем ispClock можно так: везде, где требуется генерирование двух и более различных частот, либо разветвление частоты к двум и более «потребителям», возможно, целесообразно применение микросхем ispClock.

Эти микросхемы способны генерировать до 5 различных частот от одного опорного генератора и распределять их на 10 дифференциальных пар выводов или 20 несимметричных выводов. Кроме того, есть возможность индивидуальной настройки входов и выходов для работы с различными интерфейсами и согласованием на печатные проводники с различным импедансом в диапазоне от 40 до 70 Ом или 20 Ом. Микросхемы серии 5600 отличаются от микросхем серии 5300 расширенными функциональными возможностями и наличием внутренней цепи обратной связи с программируемым делителем. Например, микросхемы 5600A позволяют хранить до четырех различных конфигураций и переключать их во время работы, что может быть важно для систем, чувствительных к потреблению энергии. Кроме того, можно индивидуально включать и отключать выходы и хранить пользовательскую информацию в энергонезависимой памяти микросхемы (например серийный номер изделия). Все микросхемы программируются внутрисхемно и способны работать в промышленном температурном диапазоне. Краткие характеристики приведены в таблице 1.

Таблица 1. Краткие характеристики микросхем семейства ispClock

Микросхема	Входы опорной частоты	Выходы	Число шагов настройки фазы	Выходные делители	Входные делители	Делители обратной связи	Напряжение питания, В	Корпус	Температурный диапазон, °С
ispClock5600A	2 (8–400 МГц)	10 или 20 (4–400 МГц)	16 (156 пс)	5 (2–80)	1 (1–40)	1 (1–40)	3,3	TQFP 48 TQFP 100	–40...+85
ispClock5300S	2 (8–267 МГц)	4, 8, 16, 32 или 20 (5–267 МГц)	8 (156 пс)	3 (1, 2, 4, 8, 16, 32)	–	–		TQFP 48 TQFP 64	

Таблица 2. Краткие характеристики микросхем семейства Power Manager

Микросхема	Точность измерения	Программируемые аналоговые входы	ЦАП	АЦП	I ² C	Драйверы/цифровые выходы	Кол-во МЯ	Напряжение питания, В	Корпус	Температурный диапазон, °С
ispPAC-POWR1220ATB	0,2%	12 (0,7–5,75 В) + определение потенциала «земли»	8	Да	Да	4/16	48	2,8–3,9	TQFP 100	–40...+85
ispPAC-POWR1014	0,3%	12 (0,7–5,75 В) + определение потенциала «земли»	–	–	–	2/12	24	2,8–3,9	TQFP 48	–40...+85
ispPAC-POWR1014A	0,3%	12 (0,7–5,75 В) + определение потенциала «земли»	–	Да	Да	2/12	24	2,8–3,9	TQFP 48	–40...+85
ispPAC-POWR607	0,3%	12 (0,7–5,75 В) + определение потенциала «земли»	–	–	–	2/5	16	2,6–3,9	QFN 32	–40...+85
ispPAC-POWR6AT6	–	12 (0,7–5,75 В) + определение потенциала «земли»	6	Да	Да	–	–	2,6–3,9	QFN 32	–40...+85
ispPAC-POWR1208P1	0,5%	12 (0,7–5,75 В) + определение потенциала «земли»	–	–	–	4/4	16	2,7–5,5	TQFP 44	–40...+85
ispPAC-POWR1208	0,9%	12 (1–5,7 В)	–	–	–	4/4	16	2,25–5,5	TQFP 44	–40...+85, –40...+125
ispPAC-POWR604	0,9%	12 (1–5,7 В)	–	–	–	0/4	8	2,25–5,5	TQFP 44	–40...+85, –40...+125

Микросхемы семейства **Power Manager** предназначены для управления питанием любой микропроцессорной или DSP-системы и могут заменить такие элементы, как контроллер горячей замены, контроллер последовательного включения источников питания, генератор сигналов сброса, блок слежения за напряжением питания и сторожевой таймер. Микросхемы этого семейства способны отслеживать одновременно до 12 напряжений с помощью быстродействующих компараторов и программируемых источников опорного напряжения и управлять выходными логическими сигналами, измерять напряжения с помощью АЦП и управлять, например, DC/DC-конвертерами с помощью встроенных драйверов для транзисторов. Также есть возможность считать из микросхемы, например, действующее значение напряжения через интерфейс I²C. Кроме того, микросхемы программируются внутрисхемно, что позволяет быстро настраивать систему на этапе разработки. Работа системы целиком определяется логикой работы встроенной CPLD и ограничивается только функциональными возможностями микросхемы. Применение микросхем Power Manager позволяет построить гибкую систему и сократить время на ее настройку и отладку. Так, если в традиционных применениях для настройки блоков питания сложных систем требуется применение подстроечных элементов, то для системы питания, базирующейся на микросхеме Power Manager, требуется лишь внутрисхемное перепрограммирование кристалла. Это дает возможность создания универсальных систем питания для нескольких различных устройств с возможностью индивидуальной

настройки. Краткие характеристики микросхем этого семейства приведены в таблице 2.

Следует отметить, что при разработке систем с применением микросхем ispClock и Power Manager можно не иметь ни малейшего представления о CPLD — бесплатное программное обеспечение PAC Designer от Lattice Semiconductor позволяет быстро настроить и запрограммировать микросхему. Кроме того, есть большой набор различной документации и примеров применения, что позволяет сократить время разработки.

Программируемые логические интегральные схемы

Lattice Semiconductor как производитель микросхем программируемой логики выпускает и микросхемы FPGA, и PLD. Линейка SPLD представлена семействами GAL и ispGAL. Микросхемы семейства GAL — это классические SPLD, а ispGAL (тоже классические SPLD популярной архитектуры 22V10), помимо того, что имеют возможность внутрисхемного программирования, являются еще и самыми быстрыми в мире ($t_{pd} = 2,3$ нс).

Линейку CPLD представляют семейства ispMACH4A5, ispMACH4000, ispXPLD и MachXO. Основными отличиями CPLD Lattice Semiconductor являются возможность программирования в системе, фиксированное время распространения сигнала (до 80 термов на вывод), низкое энергопотребление, возможность работы в режимах горячей замены и программируемые блоки ввода/вывода. Кроме того, блоки ввода/вывода нормально работают с входными сигналами с напряжением 5 В.

Микросхемы **ispMACH4A5** являются классическими CPLD с напряжением питания 5 В, имеют плотность от 32 до 256 макроячеек и количество выводов от 32 до 128. Минимальное время pin-to-pin (t_{pd}) — 5 нс, максимальная рабочая частота — 182 МГц, корпуса — от 44 до 208 выводов.

ispMACH4000 — это высокопроизводительные, быстрые и экономичные (как в плане энергопотребления, так и цены) CLPD. Минимальное время $t_{pd} = 5$ нс, максимальная частота — 400 МГц. Разумеется, максимальная частота работы CPLD сильно зависит от ее плотности, и одной из особенностей этих микросхем является то, что максимальная частота с увеличением макроячеек падает незначительно и составляет 322 МГц у самых «больших» микросхем. Семейство ispMACH4000 включает версии с напряжением питания 3,3, 2,5 и 1,8 В (индексы V, B и S соответственно). Кроме того, на базе этой архитектуры созданы микропотребляющие микросхемы **ispMACH4000Z** с потреблением от 13 до 32 мкА в статическом режиме в зависимости от плотности. Микросхемы с индексами S и Z, помимо прочего, производятся и для автомобильного температурного диапазона.

Микросхемы семейства **ispXPLD5000M** — это CPLD с новой архитектурой, в основе которой лежит так называемый многофункциональный блок (MFB). Это первые CPLD, логические блоки которых могут реализовывать как функции логики, так и памяти. Так, MFB может выполнять функции сверхширокого логического блока со 136 входами, памяти или блока FIFO с асинхронным доступом. Минимальное время t_{pd} для этих микросхем составляет 4 нс, максимальная частота — 300 МГц, плотность от 256 до 1024 макроячеек, максимальный объем реализуемой памяти — от 128 до 512 кбит, количество выводов — от 141 до 381. Кроме того, микросхемы имеют по две встроенных ФАПЧ, блоки ввода/вывода способны работать в большом диапазоне стандартов, таких как LVCMOS, LVTTTL, LVDS, HSLT, SSTL, LVPECL, GTL+, PCI-X, PCI 3.3 и AGP-1X.

Следует отметить, что все CPLD Lattice Semiconductor обладают возможностью внутрисхемного программирования.

Быстродействие ПЛИС и функциональность ПЛИМ в «одном флаконе»

В линейке продуктов Lattice Semiconductor есть семейство микросхем **MachXO**, стоящее особняком от CPLD и FPGA. Они объединяют в себе функциональность FPGA с быстродействием CPLD и ориентированы на продукты, в которых традиционно применяются CPLD или FPGA малой плотности. Архитектура микросхем семейства MachXO базируется на оптимизированной структуре LUT с четырьмя входами, которая реализует любую комбинационную функцию с четырьмя операндами. В сочетании с улучшенной

Таблица 3. Краткие характеристики микросхем семейства MachXO

Микросхема	Скорость	Корпус (вводы/выводы)							Емкость (LUT)	Кольцо макроячеек	Распределенная память (К)	Блочная память (К)	Кольцо блоков памяти	ФАПЧ	Стандарты ввода/вывода
		T100 14X14X0,5	T144 20X20X0,5	M100 8X8X0,5	M132 8X8X0,5	F1256 17X17X1	F1324 19X19X1	F19X1							
		TOPP 100	TOPP 144	сBGA 100	сBGA 132	гBGA 256	гBGA 324	гBGA 324							
LCMXO256C/E	-5,-4,-3	62	100	136				3,1	128	2	-	-	-	3,3/2,5/1,8/1,5/1,2 В	
LCMXO640C/E			100	142	188			5,8	320	6,1	-	-	-	LVTTL, LVC MOS, PCI,	
LCMXO1200C/E					188	244		9,7	600	6,4	9,2	1	1	LVDS, Bus-LVDS,	
LCMXO2280C/E					188	268	300	15,4	1140	7,7	27,6	3	2	LVPECL, RSDS	

технологией внутрисхемного программирования ispXP (применяемой также в микросхемах семейства ispXPLD5000M, LatticeXP и LatticeXP2) это позволяет получить высокое быстродействие и быстрое конфигурирование при низкой стоимости чипа.

В таблице 3 приведены основные характеристики микросхем семейства MachXO.

О внутрисхемном программировании и перепрограммировании

Технологии внутрисхемного программирования для FPGA Lattice Semiconductor основываются на размещении Flash и SRAM памяти на одном кристалле. При этом реализуется параллельный доступ Flash-памяти к ячейкам SRAM, что позволяет перенести прошивку менее чем за 1 мс. Кроме того, на улучшенной технологии внутрисхемного программирования ispXP базируется технология TransFR (Transparent Field Reconfiguration), позволяющая перепрограммировать микросхемы в «полевых» условиях. Перепрограммирование осуществляется в два этапа: сначала программируется Flash-память микросхемы, при этом ее работа не нарушается, затем в определенный пользователем момент приостанавливается работа ПЛИС и прошивка переносится из Flash в конфигурационную память. Очень важно, что этот процесс занимает менее 1 мс, а состояние блоков ввода/вывода в течение этого времени остается тем же, что и непосредственно перед перепрограммированием. Таким образом, перепрограммирование ПЛИС происходит «незаметно» для остальных устройств системы.

Микросхемы семейства LatticeXP2 обладают еще одной интересной возможностью: технология FlashBAK позволяет сохранить в Flash содержимое блочной памяти микросхемы, разумеется, без повреждения конфигурационной информации.

Программируемые логические матрицы

Логическим продолжением семейства MachXO являются семейства LatticeXP и LatticeXP2. С точки зрения архитектуры микросхемы семейств MachXO и LatticeXP идентичны: базисом является блок LUT4, два LUT плюс два регистра образуют Slice, а 4 Slice

образуют Programmable Function Unit (PFU) — основной «кирпичик» микросхемы. Краткие характеристики микросхем приведены в таблице 4.

В отличие от MachXO и LatticeXP, выполненных по 130-нанометровой технологии, микросхемы семейства LatticeXP2 сделаны по технологическим нормам 90 нм. Это позволило вдвое увеличить плотность (до 40K LUT), в полтора раза снизить стоимость в пересчете на один LUT, на 33% снизить потребление по сравнению с LatticeXP. Помимо этого микросхемы семейства LatticeXP2 имеют до 8 блоков DSP, располагают возможностью работы с внешней Flash-памятью со стандартным интерфейсом SPI, сохранения текущей конфигурации в Flash-память, имеют возможность шифрования во время программирования и загрузки конфигурационной информации из внешней памяти. Краткие характеристики микросхем семейства LatticeXP2 приведены в таблице 5.

Семейство наиболее «мощных» FPGA компании Lattice Semiconductor называется LatticeSC. Эти микросхемы выполнены по

технологии 90 нм, имеют плотность до 115K LUT, до 944 выводов и до 7,8 Мбайт блочной памяти. Кроме того, имеется до 32 каналов SERDES со скоростью 3,8 Гбит/с, 8 PLL с частотой до 700 МГц, 12 DLL с частотой до 1 ГГц. Блоки ввода/вывода могут работать на скорости до 2 Гбит/с. Также стоит отметить, что FPGA семейства LatticeSC имеют до 12 специализированных блоков MACO. Говоря простыми словами, блоки MACO — это имеющиеся «на борту» ПЛИС ASIC-блоки, предназначенные для выполнения специализированных функций, например, таких как контроллер интерфейса SPI4.2 или PCI Express, DDR1, DDR2 или Ethernet. Использование блоков MACO позволяет отказаться от использования специализированных загружаемых в логику IP-ядер, реализующих аналогичные функции, сократив тем самым время и стоимость разработки, и сохранить ресурсы FPGA для реализации других функций. Следует отметить, что микросхемы семейства LatticeSC выпускаются как с блоками MACO (например LFSCM115), так и без них (LFSC115). Краткие характеристики микросхем семейства LatticeSC представлены в таблице 6.

Для разработок, в которых требуется использование SERDES, но нет потребности в такой высокопроизводительной FPGA, как LatticeSC, Lattice Semiconductor выпускает FPGA семейств LatticeEC/ECP и LatticeECP2/ECP2M. Основное назначение и стратегия позиционирования на рынке этих семейств заложены в их названиях: аббревиатуры EC и ECP расшифровываются как Ecomony и EcomonyPlus соответственно. Другими словами, эти микросхемы обладают очень

Таблица 4. Краткие характеристики микросхем семейства LatticeXP

Микросхема	Скорость	Корпус (вводы/выводы)							Емкость (кLUT)	Распределенная память (К)	Блочная память (К)	Кольцо блоков памяти	PFU/PFF строки	PFU/PFF столбцы	ФАПЧ	Стандарты ввода/вывода
		T100 14X14X0,5	T144 20X20X0,5	O208 28X28X0,5	F256 17X17X1	F388 23X23X1	F484 23X23X1	F484 23X23X1								
		TOPP 100	TOPP 144	POFP 208	гBGA 256	гBGA 388	гBGA 484	гBGA 484								
LFXP3C/E	-5,-4,-3	62	100	136				3,1	12	54	6	16	24	2	3,3/2,5/1,8/1,5/1,2 В	
LFXP6C/E			100	142	188			5,8	23	72	8	24	30	2	LVC MOS, LVTTL,	
LFXP10C/E					188	244		9,7	39	216	24	32	38	4	SSTL 3/2 Class I, II,	
LFXP15C/E					188	268	300	15,4	61	324	36	40	46	4	HSTL 18 Class I, II, III,	
LFXP20C/E					188	268	340	19,7	79	396	44	44	56	4	PCI133, LVDS, Bus-LVDS,	

Таблица 5. Краткие характеристики микросхем семейства LatticeXP2

Микросхема	Скорость	Корпус (вводы/выводы)							Емкость (кLUT)	Распределенная память (К)	Блочная память (К)	Кольцо блоков памяти	Кольцо блоков sysDSP	Кольцо умножителей 18x18	ФАПЧ	Стандарты ввода/вывода
		M132 8X8X0,5	T144 20X20X0,5	O208 28X28X0,5	F256 17X17X1	F484 23X23X1	F672 27X27X1	F672 27X27X1								
		сBGA 132	TOPP 144	POFP 208	гBGA 256	гBGA 484	гBGA 484	гBGA 672								
LFXP2-5	-7,-6,-5	86	100	146	172			5	10	166	9	3	12	2	3,3/2,5/1,8/1,5/1,2 В	
LFXP2-8		86	100	146	201			8	18	221	12	4	16	2	LVC MOS, LVTTL,	
LFXP2-17				146	201	358		17	35	276	15	5	20	4	SSTL 3/2 Class I, II,	
LFXP2-30					201	363	472	29	56	387	21	7	28	4	HSTL 18 Class I, II, III,	
LFXP2-40						363	540	40	83	885	48	8	32	4	PCI133, LVDS, Bus-LVDS,	

Таблица 6. Краткие характеристики микросхем семейства LatticeSC

Микросхема	Скорость	Корпус (выводы/выводы)/SERDES						Емкость (кLUT)	Распределенная память (М)	Блочная память (М)	Кол-во блоков памяти	Макс. кол-во каналов SERDES	Кол-во блоков MACO	ФАПЧ/ЦАПЧ	Стандарты ввода/вывода
		FPBGA 256 17X17X1	FPBGA 256 900 31X31X1	FPBGA 1020 33X33X1	FPBGA 1020 33X33X1	FPBGA 1152 35X35X1	FPBGA 1704 42,5X42,5X1								
LFSC15/SCM15	-7, -6, -5	139/4	300/8				15,2	0,24	1,03	56	8	4	8/12	3,3/2,5/1,8/1,5/1,2 В LVCMOS, LVTTTL, PCI, PCIX, AGP, SSTL, SSTLD, HSTL, HSTLD, GTL, GTL Plus, LVDS, Mini-LVDS, MLVDS, RSDS, HYPT, LVPECL, BLVDS	
LFSC25/SCM25			378/8	476/16			25,4	0,41	1,92	104	16	6	8/12		
LFSC40/SCM40				562/16	604/16		40,4	0,65	3,98	216	16	10	8/12		
LFSC80/SCM80						904/32	80,1	1,28	5,68	308	32	10	8/12		
LFSC115/SCM115					660/16	942/32	115,2	1,84	7,8	424	32	12	8/12		

Таблица 7. Краткие характеристики микросхем семейства LatticeECP2

Микросхема	Скорость	Корпус (выводы/выводы)						Емкость (кLUT)	Распределенная память (К)	Блочная память (К)	Кол-во блоков памяти	Кол-во блоков sysDSP	Кол-во умножителей 18x18	ФАПЧ/ЦАПЧ	Стандарты ввода/вывода
		TQFP 144 20X20X0,5	PQFP 208 28X28X0,5	FPBGA 256 17X17X1	FPBGA 484 23X23X1	FPBGA 484 23X23X1	FPBGA 900 31X31X1								
LFE2-6E/SE	-7, -6, -5	90		190			6	12	55,3	3	3	12	2/2	3,3/2,5/1,8/1,5/1,2 В LVCMOS, LVTTTL, SSTL 3/2/18 I, II, HSTL 15 I, HSTL 18 I, II, Differential HSTL и SSTL, PCI, LVDS, RSDS, Bus-LVDS, MLVDS, LVPECL	
LFE2-12E/SE		93	131	193	297		12	24,2	221,2	12	6	24	2/2		
LFE2-20E/SE			131	193	331	402	21	42,3	276,5	15	7	28	2/2		
LFE2-35E/SE					331	450	32	64,5	331,8	18	8	32	2/2		
LFE2-50E/SE					339	500	48	95,9	387,1	21	18	72	4/2		
LFE2-70E/SE						500	583	68	136,2	1032,2	56	22	88		6/2

Таблица 8. Краткие характеристики микросхем семейства LatticeECP2M

Микросхема	Скорость	Корпус (выводы/выводы)						Емкость (кLUT)	Распределенная память (К)	Блочная память (К)	Кол-во блоков памяти	Макс. кол-во каналов SERDES	Кол-во блоков sysDSP	Кол-во умножителей 18x18	ФАПЧ/ЦАПЧ	Стандарты ввода/вывода
		FPBGA 256 17X17X1	FPBGA 484 23X23X1	FPBGA 672 27X27X1	FPBGA 900 31X31X1	FPBGA 1152 35X35X1	FPBGA 1152 35X35X1									
LFE2M20E/SE	-7, -6, -5	140	304				19	41	1217	66	4	6	24	8/2	3,3/2,5/1,8/1,5/1,2 В LVCMOS, LVTTTL, SSTL 3/2/18 I, II, HSTL 15 I, HSTL 18 I, II, Differential HSTL и SSTL, PCI, LVDS, RSDS, Bus-LVDS, MLVDS, LVPECL	
LFE2M35E/SE		140	303	410			34	71	2101	114	4	8	32	8/2		
LFE2M50E/SE			270	372	410		48	101	4147	225	4/8	22	88	8/2		
LFE2M70E/SE					416	436	67	145	4534	246	8/16	24	96	8/2		
LFE2M100E/SE					416	520	95	202	5308	288	16	42	168	8/2		

«серьезными» возможностями при низкой цене. Например, микросхемы семейства ECP2M — первые микросхемы с SERDES и DSP дешевле \$10.

Микросхемы серий LatticeECP2/ECP2M являются вторым поколением микросхем LatticeEC/ECP, поэтому имеет смысл рассмотреть именно их. Микросхемы LatticeECP2M имеют плотность от 20К до 95К LUT, до 16 каналов SERDES, работающих на скорости 3,125 Гбит/с и потребляющих всего 100 мВт на канал, до 5,3 Мбайт блочной памяти, до 202 кбайт распределенной памяти, блоки DSP с 168 умножителями 18x18, высокопроизводительные порты ввода/вывода с возможностью реализации «быстрых» интерфейсов, таких как LVDS на скорости 840 Мбит/с, DDR1/2 400 Мбит/с, SPI4.2 750 Мбит/с. Микросхемы LatticeECP2 имеют плотность от 6К до 68К LUT, до 1,1 Мбайт блочной памяти, до 136 кбайт распределенной, блоки DSP с 88 умножителями 18x18, высокопроизводительные порты ввода/вывода с такими же возможностями, что и LatticeECP2M.

Краткие характеристики микросхем семейств LatticeECP2 и LatticeECP2M приведены в таблицах 7 и 8 соответственно.

Для приложений, в которых требуется использовать SERDES, но ПЛИС не нужна вообще, есть специальная серия микросхем **ispGDX2**. Эти микросхемы содержат программируемые каналы SERDES и соединительный модуль. Краткие характеристики микросхем семейства ispGDX2 приведены в таблице 9.

Таблица 9. Краткие характеристики микросхем семейства ispGDX2

Микросхема	Скорость	Корпус (выводы/выводы)			Кол-во блоков GDX	Макс. скорость с SERDES, Gbps	Макс. скорость без SERDES, Gbps	LVDS/Bus LVDS, пар	Кол-во каналов sysHSI	ФАПЧ	Стандарты ввода/вывода
		F100 11X11X1	F208 17X17X1	F484 23X23X1							
LX64C/B/V	-3, -5	64			4	3,2	11	32	4	2	5/3,3/2,5/1,8 В LVTTTL, LVCMOS, PCI133, PCI-X, GTL+, HSTL I, III, IV, SSTL2 I, II, SSTL3 I, II, AGP-1X, CTT, LVDS, BLVDS, LVPECL
LX128C/B/V	-32, -5		128		8	6,4	21	64	8	2	
LX256C/B/V	-35, -5			256	16	12,8	38	128	16	4	
LX64EC/EB/EV	-3, -5	64			4	3,2	11	32	—	2	
LX128EC/EB/EV	-32, -5		128		8	6,4	21	64	—	2	
LX256EC/EB/EV	-35, -5			256	16	12,8	38	128	—	4	

Программные инструменты

Для разработки приложений на базе микросхем Lattice Semiconductor существует программный пакет ispLEVER. Бесплатные версии ispLEVER Starter и ispLEVER Classic можно получить на сайте Lattice Semiconductor (www.latticesemi.com). Следует отметить, что программный пакет ispLEVER позволяет использовать любые современные языки и средства разработки устройств на базе ПЛИС, начиная от визуальной схематической разработки и заканчивая языками описания аппаратуры высокого уровня. ispLEVER позволяет выполнить весь цикл разработки устройств на базе ПЛИС Lattice Semiconductor, включая отладку и моделирование работы системы (в полные версии входит пакет ModelSim от Mentor Graphics, являющийся стандартом «де факто» для моделирования работы сложных систем). Для FPGA Lattice Semiconductor существует большой набор IP-ядер и от Lattice Semiconductor, и от других производителей.

Выводы

Применение элементной базы от таких производителей, как Xilinx и Altera, является во многом «привычным и традиционным» решением. Мы привыкаем к хорошо изученным инструментам для разработки, к возможностям тех или иных решений, к особенностям применения. Однако компания Lattice Semiconductor предлагает во многом уникальные и оригинальные продукты, превосходящие по ряду параметров продукты конкурентов, а использование современных языков описания аппаратуры (например, таких как VHDL или Verilog) и стандартных кроссплатформенных средств разработки и отладки (например от Mentor Graphics и Aldec) позволяет сделать переход на новую элементную базу быстрым и легким.

Имеющийся опыт работы с широко распространенной элементной базой, несомненно, является большим плюсом. Но в данном случае следует учесть, что зачастую компании, чьи продукты хорошо известны и широко используются, менее охотно оказывают техническую поддержку, чем компании, которые только выходят на рынок и активно продвигают свою продукцию, а возможные

проблемы с применением никто не поможет решить лучше, чем специалисты производителя и дистрибьюторов.

Переход на новую элементную базу в любом случае должен быть оправдан. При этом, по мнению автора, сам процесс перехода не должен являться следствием каких-либо труд-

ностей, возникших при использовании продукции других производителей. Использование новых решений и компонентов является, прежде всего, методом получения дополнительных преимуществ и функциональных возможностей, а одновременно со снижением себестоимости конечных продуктов —

упреждающим шагом в конкурентной борьбе, тем более, что этот процесс не является сложным или дорогостоящим. Сегодня применение решений от Lattice Semiconductor дает возможность получить и экономические, и технологические преимущества, которые позволят опередить конкурентов. ■