

# Сериализаторы / десериализаторы компании Semtech для высокоскоростных сетей передачи данных

Константин ВЕРХУЛЕВСКИЙ  
info@icquest.ru

**Бурный рост объема информационного контента требует разработки и внедрения высокоэффективных решений в области высокоскоростной передачи мультимедийных данных. В статье рассматриваются принципы построения и рабочие характеристики телекоммуникационных ИС серии SerDes, предназначенных для работы в сетях 40 / 100G и обеспечивающих высокие показатели производительности, надежности и энергопотребления.**

## Введение

Глобальный интернет-трафик увеличивается с каждым годом, и большая его часть приходится на международные магистрали. По отчетам специалистов, за год объем передаваемых данных вырастает по сравнению с прошлым годом почти вдвое, при этом в расчетах учитывается общий трафик мировых магистралей. Ethernet уже давно из технологии передачи данных превратился в глобальную идеологию построения телекоммуникационных сетей. Развитие Ethernet происходит как в направлении расширения областей применения, так и в сторону роста скорости передачи данных (пропускной способности). И опубликованный в июне 2010 года стандарт IEEE 802.3ba (Media Access Control Parameters, Physical Layers and Management Parameters for 40 Gb/s and 100 Gb/s Operation) — важный шаг в развитии этой технологии.

Основная цель разработки состояла в том, чтобы распространить протокол 802.3 на сверхвысокие скорости передачи данных и при этом обеспечить максимальную совместимость интерфейсов со стандартом 802.3 с целью сохранения предыдущих инвестиций в сетевую инфраструктуру [1]. Новый стандарт принят институтом IEEE в виде дополнения к IEEE 802.3 Ethernet, описывает физический и MAC-уровни и поддерживает две скорости передачи данных: 40 и 100 Гбит/с. Высокие требования к пропускной способности среды передачи данных значительно превышают существующие возможности Ethernet. В соответствии с нормативными документами стандарт IEEE 802.3ba поддерживает полнодуплексный режим и ориентирован на различные типы (среды) физического уровня (PHY).

Основные задачи, которые должен решать стандарт IEEE 802.3ba, были сформулированы еще в 2006 году и с рядом изменений сохранились в финальной версии:

- Сохранение формата кадра 802.3, используемого на MAC-уровне.
- Сохранение минимального и максимального размера кадра стандартов 802.3.
- Обеспечение достоверности передачи данных на MAC-уровне: вероятность битовой ошибки (BER) не должна превышать  $10^{-12}$ .
- Обеспечение совместимости с оптическими транспортными сетями OTN (Optical Transport Network) — высоконадежной среды для передачи разнородного трафика, стандартизированной в рекомендации ITU-T G.709.
- Обеспечение спецификаций физического уровня (PHY) для передачи по разным средам: одномодовому оптическому волокну (OM OB), многомодовому оптическому волокну (MM OB), медной витой паре и электрической объединительной шине (backplane).

Стандарт применим для соединений протяженностью в метр (соединительные панели) и в сотни метров (локальные сети); в единицы километров (сети доступа) и в десятки километров. На скорости 100 Гбит/с предусмотрены дальний (LR, до 10 км) и сверхдальний (ER, до 40 км) режимы работы. Отличаются они только требованиями к бюджету линии: сверхдальний режим фактически означает необходимость применения в ВОЛС оптических усилителей.

На современном уровне развития полупроводниковых технологий скорости порядка 100 Гбит/с реально добиться, только используя принципиальное новшество стандарта — переход с последовательной передачи сигнала на параллельную по нескольким

потокам. При этом в системе на логическом уровне (MAC-уровне) используется единая скорость передачи данных (то есть все сетевые устройства обработки ориентированы на эту скорость), а на физическом поток разбивается на параллельные подпотоки, скорость в которых зависит от используемой среды передачи и дальности связи. Скорость в каждом физическом канале — либо 10, либо 25 Гбит/с. Так, для 100-Гбит/с интерфейсов возможна передача десяти 10-Гбит/с потоков либо по 10 витым медным парам, либо по 10 MM OB в каждом направлении. Для работы по OM OB используются четыре потока по 25 Гбит/с, разделенные по длине волны и передаваемые в одном оптоволокне. Для 40-Гбит/с интерфейсов используются только 10-Гбит/с потоки, передаваемые по проводникам объединительной шины, медным парам или оптическому волокну.

В соответствии со стандартом аппаратура для передачи данных должна выполнять ряд процедур. При этом деление на различные уровни (физический, канальный и т. д.) и их подуровни достаточно условно. Функциональное деление позволяет создавать унифицированные компоненты, стандартизированные не только по функциям, но и по интерфейсам. Для выполнения операции параллельно-последовательного/последовательно-параллельного преобразования сейчас широко применяются микросхемы SerDes, получившие название сериализаторов/десериализаторов (serializers/deserializers) [2]. Компания Semtech, лидер в разработке и производстве аналоговой и цифро-аналоговой электроники, расширила свою линейку телекоммуникационных микросхем компонентами, удовлетворяющими требованиям принятого стандарта и обеспечивающими надежное функционирование при скоростях передачи данных 40 и 100 Гбит/с.

## Основные рабочие характеристики ИС серии SerDes компании Semtech

Применение новых высокоинтегрированных последовательно-параллельных и параллельно-последовательных преобразователей компании Semtech позволяет реализовать высокоскоростные последовательные интерфейсы, которым свойственна простота реализации, а также приемлемые стоимость и энергопотребление. Использование такого подхода упрощает разводку печатной платы за счет снижения количества линий ввода/вывода и проводников между преобразователями и микросхемами микроконтроллеров либо программируемой логики FPGA.

Микросхемы серии SerDes компании Semtech отличаются низким уровнем выходного фазового шума (джиттер не более 4 пс) при частоте появления ошибочных битов  $10^{-15}$ , работают с последовательным потоком данных на скорости до 113 Гбит/с и подходят для использования в промышленном телекоммуникационном оборудовании, контрольно-измерительных системах, роутерах и т. д. (таблица). Основной же упор сделан на применение ИС при организации сверхдлинных каналов связи с пропускной способностью 100 Гбит/с, например в подводных оптических магистралах. Компоненты SMI4024/SMI4034 и SMI4026/SMI4036 предназначены для использования в сетях SONET/OC-769.

Функционально преобразователи серии SerDes представляют собой: на передающей стороне — мультиплексор со встроенным умножителем тактовой частоты (CMU) и интегрированным предварительным кодером DQPSK (дифференциальной квадратурной фазовой манипуляции), а на приемной стороне — демultipлексор со схемой двойного восстановления данных и тактовой частоты (CDR) с интегрированным декодером DQPSK [3]. Соответственно, компоненты этой серии выпускаются парами, рассчитанными на одинаковую пропускную способность и количество входных/выходных каналов, например SMI10021/SMI10031 (рис. 1). У схемы SMI10022 разрядность входного интерфейса данных может быть сконфигурирована пользователем (20 или 10 входных линий).

Применяемая технология прямого исправления ошибок (Forward Error Correction, FEC) позволяет значительно улучшить качество передачи данных. С помощью FEC-кодирования можно получить требуемое отношение количества ошибочно принятых битов к общему количеству принятых битов (BER) при существенно меньшем отношении сигнал/шум. Таким образом, может быть принят слабый высокоскоростной сигнал при большем уровне шума в канале, который без кодирования принять было бы невозможно. Кроме того, из особенностей стоит от-

Таблица. SerDes-микросхемы компании Semtech

Характеристики	Скорость передачи данных, Гбит/с	Количество входных линий данных	Количество выходных линий данных	Интерфейс входа	Интерфейс выхода	Джиттер, пс	
СерIALIZАТОРЫ	SMI10021	100–113	10	SFI-S	CML	3,7	
	SMI10022	111,6–128,4	10, 20	SFI-S	CML	3,7	
	SMI4028	45–49	16	SFI5	CML	3,7	
	SMI4029	40–45	16	SFI5	CML	3,7	
	SMI4024	39,8–44,6	16	1	SFI5	CML	4
	SMI4026	39,8–44,6	16	1	SFI5	CML	4
	SMI4027	39,8–44,6	16	1	SFI5	CML	4
ДЕСЕРIALIZАТОРЫ	SMI10031	100–113	4	CML	SFI-S	3,7	
	SMI4038	45–49	2	16	CML	SFI5	3,7
	SMI4039	40–45	2	16	CML	SFI5	3,7
	SMI4034	39,8–44,6	1	16	CML	SFI5	4
	SMI4036	39,8–44,6	1	16	CML	SFI5	4
	SMI4037	39,8–44,6	1	16	CML	SFI5	4

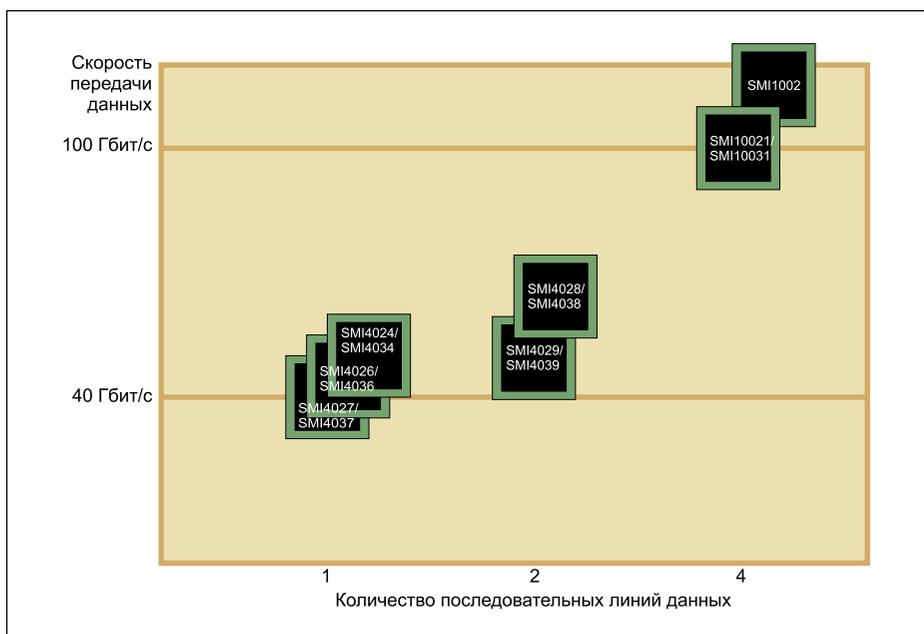


Рис. 1. ИС серии SerDes компании Semtech

метить функцию подстройки расфазировки данных, наличие высокоскоростных выходов генератора с логическими уровнями CML на полной или половинной рабочей частоте, интегрированной схемы коррекции ошибок и генератора тестовых сигналов. Генератор тестовых сигналов (PRBS) может быть использован по желанию заказчика, например в процессе отладки либо при проверке работоспособности устройства. На приемной стороне, помимо прочего, есть возможность использовать индикацию завершения настройки схемы CDR.

Все изделия изготавливаются по технологии ViCMOS на базе кремния-германия, выпускаются в современных керамических корпусах для поверхностного монтажа (BGA) и обеспечивают высокий уровень надежности и экономичности (рис. 2). Малый размер и соответствие стандартам RoHS и WEEE способствуют экономии энергопотребления и снижению паразитных потерь.

Для питания микросхем необходим стабилизированный низковольтный источ-

ник с выходными напряжениями +1,2, +1,5 и +2,8 В. Большая часть компонентов потребляет мощность не более 2,9 Вт [4]. В целях энергосбережения предусмотрена возможность автоматического перехода в дежурный режим при отсутствии сигнала. Помимо этого, ИС можно перевести в режим сна и тем самым добиться дополнительного снижения энергопотребления. Что касается показателей надежности, то для диапазона рабочих температур от 0 до +80 °С производитель гарантирует срок эксплуатации SerDes порядка 20 лет.

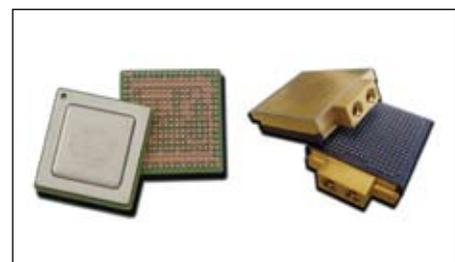


Рис. 2. Внешний вид применяемых корпусов

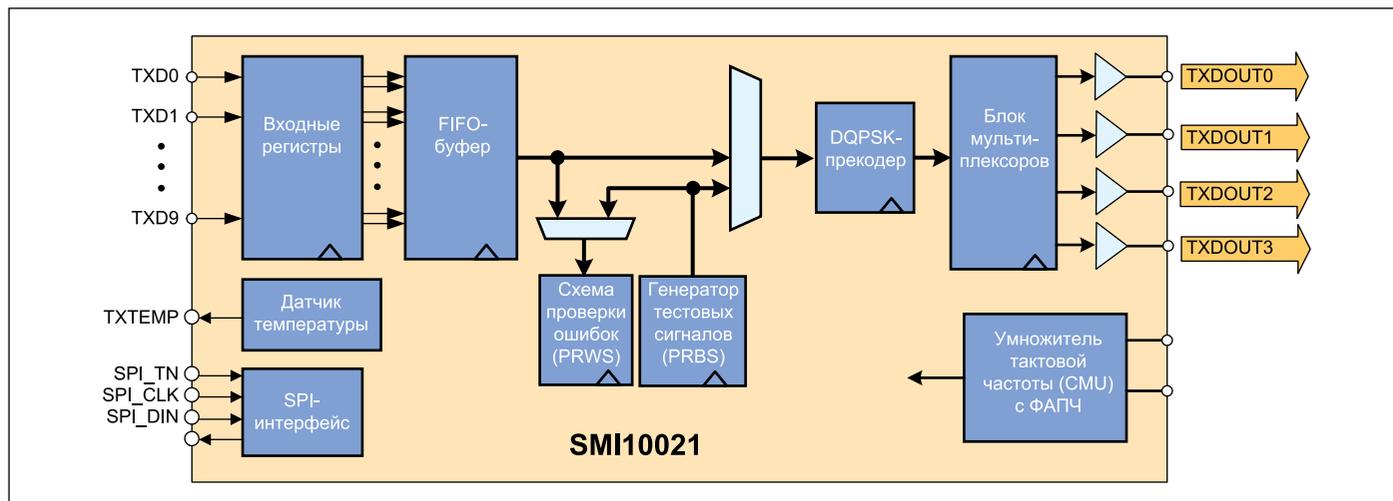


Рис. 3. Упрощенная структурная схема SMI10021

### Структура и принцип действия

Все SerDes-микросхемы компании Semtech представляют собой устройства с высокой степенью интеграции. Принцип работы SerDes относительно прост. Данные с параллельной шины, переключающейся с определенной частотой, поступают на вход микросхемы. У SMI10021, являющегося преобразователем с десяти параллельных линий данных на четыре последовательных канала, эти данные синхронизируются во входных регистрах на основе заднего или переднего фронта опорного сигнала, поступающего с параллельными данными от управляющего процессора. Синхронизация обеспечивается также соответствующим встроенным опорным источником тактового сигнала (кварцевым генератором). Далее выполняется ряд преобразований, которые можно увидеть на рис. 3, где приведена упрощенная структурная схема SMI10021 с основными функциональными блоками.

Длинные последовательности нулей или единиц приводят к появлению в спектре сигнала на выходе ВЧ-составляющих, что может вызвать рассинхронизацию приемника и передатчика. Кодирование и форматирование передаваемой информации позволяет избежать спектральных искажений и обеспечивает равномерное распределение сигнала (нулей и единиц) по всей полосе передачи. Кодирование канала включает в себя не только цифровое кодирование формы сигнала, но и добавление избыточных битов для защиты от шума и искажения сигнала.

Еще одна возможная проблема связана с потерей границ кадра в процессе преобразования в последовательную форму. Поскольку последовательная передача осуществляется по нескольким потокам, чтобы потом исходный поток восстановить в приемнике, между параллельными потоками должна сохраняться временная синхронизация. Учитывая скорости и расстояния, пред-

усмотренные стандартом, физические рас- согласования неизбежны. Для компенсации временных сдвигов (перекосов) используются специальные выравнивающие маркеры. Измеряя временной сдвиг их поступления, приемник способен восстановить синхронность потоков и тем самым обеспечить соответствие переданной и принятой информации.

На стороне десериализатора выполняются обратные преобразования [5]. Последовательный поток данных поступает во входной буфер дифференциального сигнала, в котором поступающие биты (в виде амплитуды напряжения) преобразуются в цифровые данные. Основной функцией приемника является восстановление тактовой частоты синхронизации входящего потока. Для выполнения этой задачи используется блок CDR. Восстановленный сигнал используется для синхронизации поступающего потока, преобразуемого в параллельную форму. Поток параллельных битов декодируется в изначальную последовательность данных, которые поступают на параллельные выходные регистры. Тактовый сигнал распараллеливается и передается вместе с данными.

### Блок умножителя тактовой частоты с ФАПЧ

Блок умножителя тактовой частоты — важная составляющая любого устройства SerDes, так как он генерирует тактовый сигнал высокой скорости для управления последовательным передатчиком, а также приемным трактом устройства [6]. Одной из основных характеристик, определяющих качество функционирования SerDes-устройства, является стабильность тактовой частоты, выражаемая в показателях джиттера (дрожания фазы). Значительная величина джиттера в опорном сигнале приводит к тому, что в потоке последовательных данных, вероятнее всего, содержание этих помех тоже окажется высоким. Если опорный сигнал нестабилен, у потока данных появляются те же характеристики. Таким образом, опорный сигнал устройства SerDes должен отвечать очень строгим требованиям к джиттеру, смещению тактовых импульсов во времени и времени нарастания/спада импульсов.

Подключить источники тактовых сигналов у ИС компании Semtech можно путем использования двух выводов схемы CMU, которые выбираются пользователем:

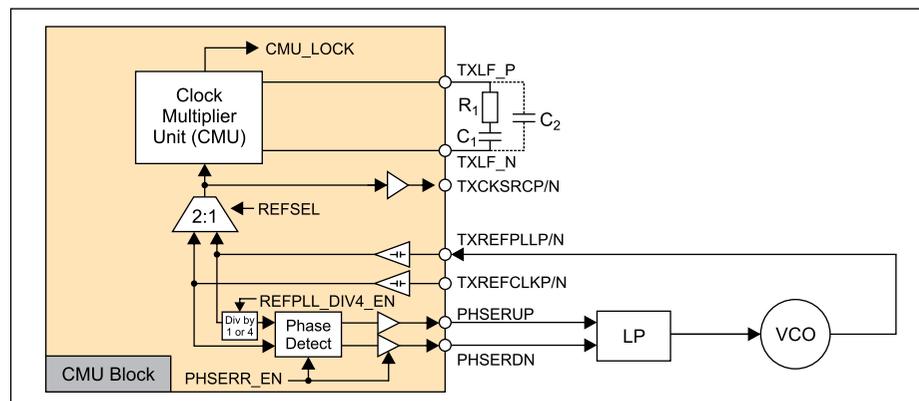


Рис. 4. Схема встроенного умножителя частоты

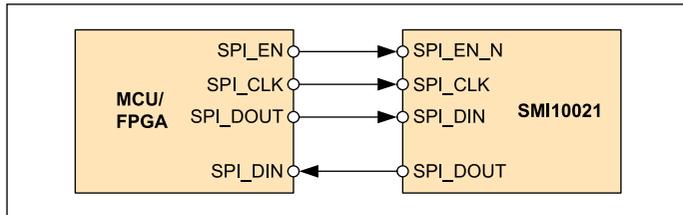


Рис. 5. Подключение SMI10021 к управляющему контроллеру

TXREFCLKP/N или TXREFPLL/N. Во втором случае для получения опорного сигнала с минимальным уровнем джиттера используется цепь ФАПЧ (рис. 4). Фильтрация фазового дрожания достигается использованием цепи стабилизации фазы, состоящей из встроенного фазового детектора (с дополнительным делителем частоты на 4), внешнего прецизионного ГУН и фильтра в цепи обратной связи.

### Применение SPI-интерфейса

SerDes-микросхемы компании Semtech отличаются высокой гибкостью применения. Практически каждый функциональный блок можно сконфигурировать согласно требованиям системы. Перечень регистров управления и сигнализации занимает не одну страницу, а для связи между внешним задающим устройством (микроконтроллером, FPGA и т. д.) и ИС сериализаторов/десериализаторов применяется последовательный интерфейс SPI (рис. 5). SerDes-микросхемы всегда функционируют в Slave-режиме, для передачи команд используется 16-битный формат, старший бит посылается первым.

При подаче команды либо при чтении данных используется как минимум два 16-разрядных слова. Первое содержит адрес регистров (с 0-го до 13-го бита) и выбор режима (0 — чтение, 1 — запись), второе — соответственно данные либо команду. При передаче более одного 16-битного слова адрес послышки автоматически инкрементируется.

В качестве опции существует возможность использования встроенного датчика для измерения температуры кристалла. Показания могут быть считаны как в цифровом виде путем использования SPI-интерфейса, так и в аналоговом — при помощи вывода TXTEMP (рис. 6).

Для оценки возможностей и разработки приложений компания Semtech предлагает несколько отладочных комплектов. Исходя из необходимых требований к разрабатываемому изделию, пользователь может выбрать для себя подходящее решение. Оценочные комплекты предоставляют все необходимое для начала работы. Стандартный набор включает в себя оценочный модуль и компакт-

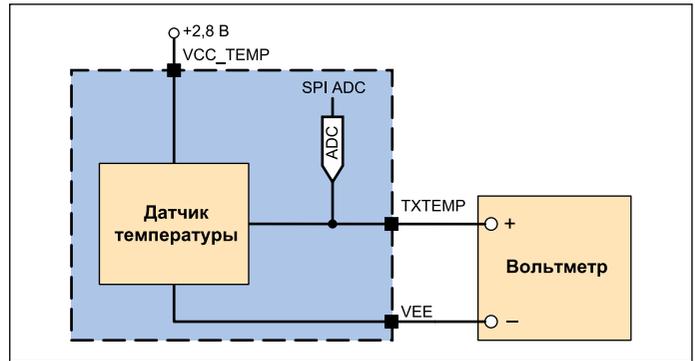


Рис. 6. Использование встроенного датчика температуры

диск со всей необходимой документацией, в том числе с электрическими принципиальными схемами, топологиями печатных плат и руководствами по применению. Кроме того, доступна простая в использовании утилита конфигурации оценочной платы с графическим интерфейсом пользователя (GUI), позволяющим настроить опции преобразователя.

### Заключение

Компания Semtech имеет многолетний опыт создания интегральных схем для телекоммуникационной электроники. Использование собственных наработок и постоянная модернизация изготавливаемых изделий позволили представить микросхемы с широкими функциональными возможностями и высокими техническими характеристиками, которые могут быть полезны при решении различного рода задач. ■

### Литература

1. Голощапов С., Шахнович И. 100Gb Ethernet: основные принципы // Первая мила. 2011. № 3.
2. Смирнов М. Современные методы передачи данных // Электронные компоненты. 2010. № 11.
3. SMI10021: 100-113 Gbps 10:4 Mux/CMU with Dual-DQPSK Precoder. Datasheet, 2012. Rev. 1.0 — [www.semtech.com](http://www.semtech.com)
4. SMI4028: 45 to 49 Gbps 16:2 Multiplexer/CMU with DQPSK Precoder. Product Brief — [www.semtech.com](http://www.semtech.com)
5. SMI10031: 100-113 Gbps 4:10 DQPSK CDR/Demultiplexer. Datasheet, 28.10.2011, rev. 1.8 — [www.semtech.com](http://www.semtech.com)
6. Jitter Clean-up PLL. Application Note. Rev. 0.2, 17.12.2010.