

# МИКРОКОНТРОЛЛЕРЫ СЕМЕЙСТВА RZ/A2M ОТ RENESAS

СЕРГЕЙ ВОЛКОВ, [SergVolkov1971@yandex.ru](mailto:SergVolkov1971@yandex.ru)

В статье рассматривается семейство микроконтроллеров RZ/A2M компании Renesas. Компания анонсировала выход этого семейства на рынок в октябре 2018 г. Микроконтроллеры имеют достаточно мощную графическую систему и могут использоваться в самом широком ряду приложений.

## ВВЕДЕНИЕ

Микроконтроллеры Renesas Zenith (RZ) продолжают восхождение. В этом, 2018 году, как и планировалось, начато производство микроконтроллеров (МК) семейства RZ/A2M. МК

базируются на процессорном ядре ARM Cortex-A9. В семейство RZ/A входят шесть групп МК. Краткие сведения о них представлены в таблице 1. Особенностью этого семейства является ОЗУ значительного объема

до 10 Мбайт и, как следствие, отсутствие на кристалле флэш-памяти.

Наверное, такое решение оправдано, учитывая развитую систему обработки графики и управление дисплеем WXGA размером 1280×68 пикселей. В этом

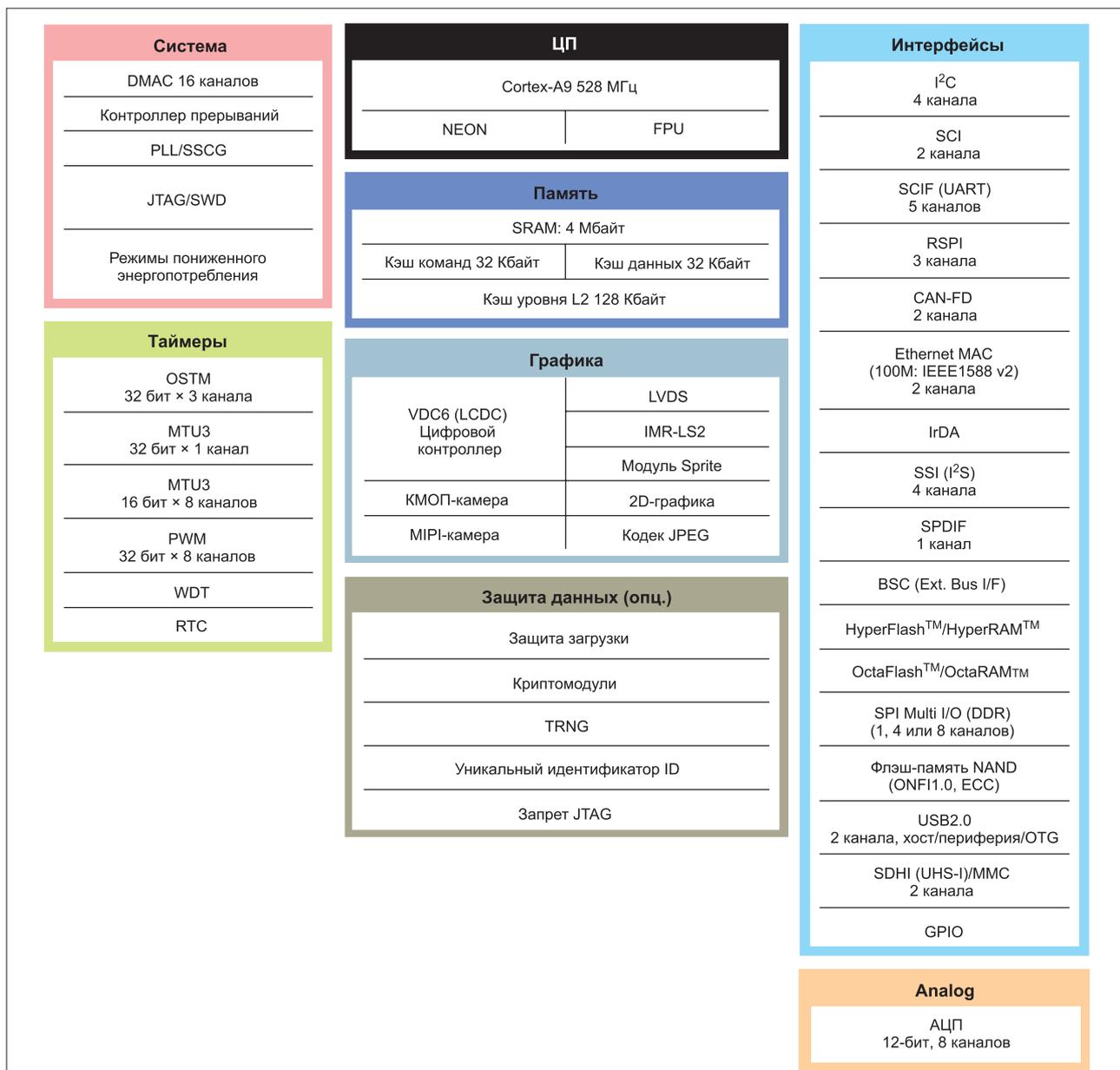


Рис. 1. Структурная схема МК RZ/A2M

## СЛОВАРЬ

**ACIA** – асинхронный коммуникационный адаптер  
**AXI** – расширяемый внутренний интерфейс  
**CoreSight** – модуль отладки  
**CSI** – последовательный интерфейс видеокамеры  
**DRP** – динамически реконфигурируемый процессор  
**DRW** – модуль формирования 2D-изображений  
**EDMAC** – контроллер прямого доступа к памяти для обмена данными с ETHERC  
**ETHERC** – контроллер интерфейса Ethernet  
**FPU** – модуль для работы с числами с плавающей запятой  
**GIC** – контроллер прерываний  
**GPT** – таймер ШИМ общего назначения  
**IMR-LS32** – модуль визуализации отображения  
**JCU** – модуль кодека JPEG  
**IMR-LS2** – визуализатор отображения  
**LTI** – технологии улучшения передачи яркости  
**MAC** – управление доступом к среде передачи данных  
**MTU** – многофункциональный таймер  
**NEON** – векторный сопроцессор  
**OSTM** – таймер формирования прерываний  
**SCFIFO** – последовательный коммуникационный интерфейс буфера FIFO  
**SIMD** – обработка большого числа данных с помощью одной команды  
**SSIF-2** – интерфейс для передачи аудиоданных  
**SPDIF** – интерфейс для передачи аудиоданных  
**VC** – сигнал вертикальной синхронизации  
**VD** – сигнал горизонтальной синхронизации  
**VIN** – модуль видеовхода

случае требуется иметь «под рукой» ОЗУ большого размера и минимизировать время доступа к данным. К тому же, возможность обойтись без внешней динамической памяти DDR заметно упрощает топологию печатной платы и уменьшает число ее слоев.

Компания Renesas осталась верной себе и в шинной архитектуре. В отличие от многих компаний, применяющих процессорное ядро ARM Cortex, Renesas не использует матричную структуру шин ANV. Вместо матричной шины со сложной синхронизацией и коммутацией Renesas сохраняет структуру из нескольких отдельных шин. На наш взгляд, эта структура лучше подходит для режима работы в реальном времени.

В статье рассматриваются МК группы RZ/A2 M. В этих МК с незначительным исключением присутствуют все модули, входящие в состав других МК группы, благодаря чему читатель сможет получить представление о возможностях всех МК группы RZ/A. Структурная схема МК RZ/A2 M приведена на рисунке 1.

### ПРОЦЕССОР, ПАМЯТЬ И ТАКТИРОВАНИЕ

Процессорное ядро ARM Cortex-A9 известно уже не первый год. В частности, на нем базировались и МК RZ/A предыдущего поколения. Мы лишь кратко опишем его основные параметры. Максимальная частота тактирования ядра в МК группы RZ/A2 M достигает 528 МГц. 8-этапный конвейер обеспечивает высо-

Таблица 1. Краткие сведения о шести группах МК семейства RZ/A

Параметр	RZ/A2M	RZ/A1M	RZ/A1H	RZ/A1LU	RZ/A1LC	RZ/A1L
Объем ОЗУ, Мбайт	4	5	10	3	2, 3	2, 3
Число выводов корпуса	176, 256, 272, 324	256, 324	256, 324	176, 208	176, 208, 233	176, 208, 233
Тактовая частота (макс.), МГц	528			400		
Графика	Отображение на дисплее и 2D-графика			Отображение на дисплее		

кую производительность, достигающую 2,5 DMIPS/МГц.

В состав ядра помимо уже привычного узла FPU для работы с числами с плавающей запятой входит векторный сопроцессор NEON с набором 64- и 128-бит команд SIMD. Сопроцессор NEON одновременно может выполнять 16 операций, что позволяет заметно ускорить обработку графических данных.

Объем кэш-памяти команд и данных одинаков и составляет 32 Кбайт. Блок ассоциативных трансляций TLB рассчитан на 128 записей. Контроллер прерываний GIC-400 поддерживает до 224 независимых прерываний и 32 уровней приоритета. Высокоскоростная внутренняя шина AMBA 3 AXI обеспечивает скорость передачи данных 12 Гбайт/с.

Контроллер L2 C-310, входящий в состав процессорного ядра, управляет обменом данных с кэш-памятью уровня L2, позволяя осуществлять одновременно несколько транзакций через интерфейс AXI, благодаря чему уменьшается задержка времени обработки данных. Объем кэш-памяти уровня L2, расположенной на кристалле вне ядра, составляет 128 Кбайт. Эта память тактируется частотой 132 МГц.

Оперативная память ОЗУ на кристалле объемом 4 Мбайт используется и для хранения данных, и команд. В ОЗУ выделена область 128 Кбайт, в которой данные сохраняются в режиме глубокого сна. Эта область памяти разбита на четыре страницы: две страницы по 16 Кбайт, одна страница имеет объем 32 Кбайт и еще одна – 64 Кбайт.

Большое ОЗУ объемом 4 Мбайт разбито на пять страниц. Первые две из них имеют объем по 512 Кбайт, а оставшиеся три – по 1 Мбайт. Каждая из этих страниц имеет свои отдельные порты для чтения и записи. Данные через порты передаются через шину AXI. Если к одной и той же странице памяти обращается несколько ведущих устройств одновременно, шина AXI разрешает конфликт с помощью последовательного циклического предоставления доступа (Round robin) к странице каждому обратившемуся ведущему устройству. При этом происходит нежелательная задержка.

Избежать подобных коллизий можно только программным способом. Следовательно, при отладке программы желательно выявить все случаи одновременного обращения к одной и той же странице.

Контроллер внешней флэш-памяти соответствует спецификации ONFI 1.x (8 бит). Передача данных через DMA может происходить в режиме единичной транзакции или в пакетном режиме. Для буферизации данных предусмотрен буфер FIFO. Модуль кода исправления ошибки ECC поддерживает блоки данных размером 256, 512 и 1024 бит.

Система тактирования довольна проста: в ее состав входит осциллятор, ФАПЧ и делитель частоты. Они формируют следующие тактовые последовательности:

- 1ф – тактирование процессорного ядра, максимальная частота: 528 МГц;
- Gф – тактирование системы обработки графики, максимальная частота: 264 МГц;
- Вф – тактирование внутренних шин, максимальная частота: 132 МГц;
- P1ф – тактирование периферийных модулей, максимальная частота: 66 МГц;
- P0ф – тактирование периферийных модулей, максимальная частота: 33 МГц.

### СТРУКТУРА ШИН

Структура шин МК показана на рисунке 2. Главная северная шина используется для подключения периферийных модулей к процессорному ядру. Главная южная шина коммутирует внутреннюю и внешнюю память. Ядро ARM Cortex-A9 имеет отдельные интерфейсы для связи с каждой главной шиной.

Ведущие устройства, подключенные к главной северной шине, за исключением процессорного ядра могут обращаться к встроенной или внешней памяти только через мосты между шинами. Ведущие устройства, подключенные к главным южным шинам 1 и 2, не могут обращаться к адресам, назначенным для северной шины.

Северная шина со всеми подключенными к ней периферийными устройствами показана на рисунке 3. Шина использует протокол AMBA AXI. Интерфейс AXI применяется для передачи данных по всем каналам. Ширина

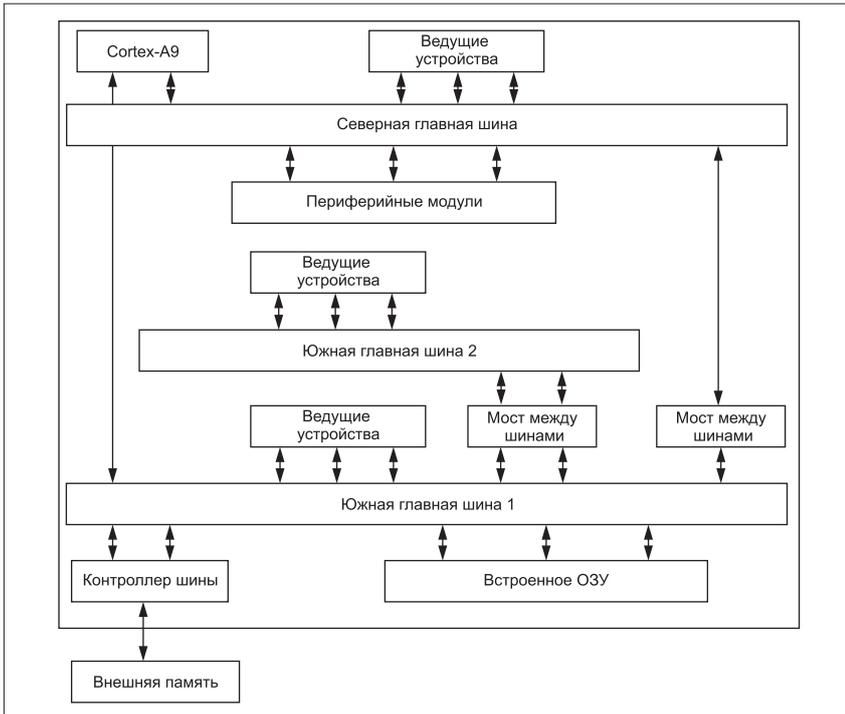


Рис. 2. Структура шин МК

шины составляет 64 бит. Периферийные устройства, связанные с северной шиной, перечислены в таблице 2. Арбитраж при одновременном запросе осуществляется с помощью последовательного циклического предоставления доступа каждому обратившемуся устройству.

Обе южные шины показаны на рисунке 4. Как и северная шина, обе южные шины используют протокол AMBA AXI, и как в северной шине арбитраж при одновременном запросе осуществляется с помощью последовательного циклического предоставления доступа каждому обратившемуся устройству.

Ширина южной шины 1 составляет 128 бит, а южной шины 2—64 бит. Обе шины тактируются частотой Вф.

Поскольку в МК широко используется многоуровневый интерфейс AXI, необходимо хотя бы кратко описать его принцип действия. Концептуальная структурная схема интерфейса показана на рисунке 5. Внутренние межсоединения в AXI обеспечивают коммутацию всех ведущих и ведомых устройств канала. При одновременном запросе к шине нескольких ведущих устройств доступ предоставляется после арбитража.

Если запрос от ведущих устройств приходит к разным ведомым, предоставляется параллельный доступ к запрашиваемым ведомым устройствам. Однако если при обращении разных ведущих устройств происходит обращение к разным периферийным устройствам, подключенным к одной и той же шине, параллельный доступ не предоставляется. При этом устройство, которому отказано в доступе, переходит в режим ожидания и находится в нем до тех пор, пока не будет обработан предыдущий запрос.

Для передачи данных между северной и южной шинами, а также шиной AXI64IC4 используются мосты. Каждый из них способен одновременно реализовать восемь трансферов. Кроме того, используется доступ с изменением порядка передачи (Out-of-order

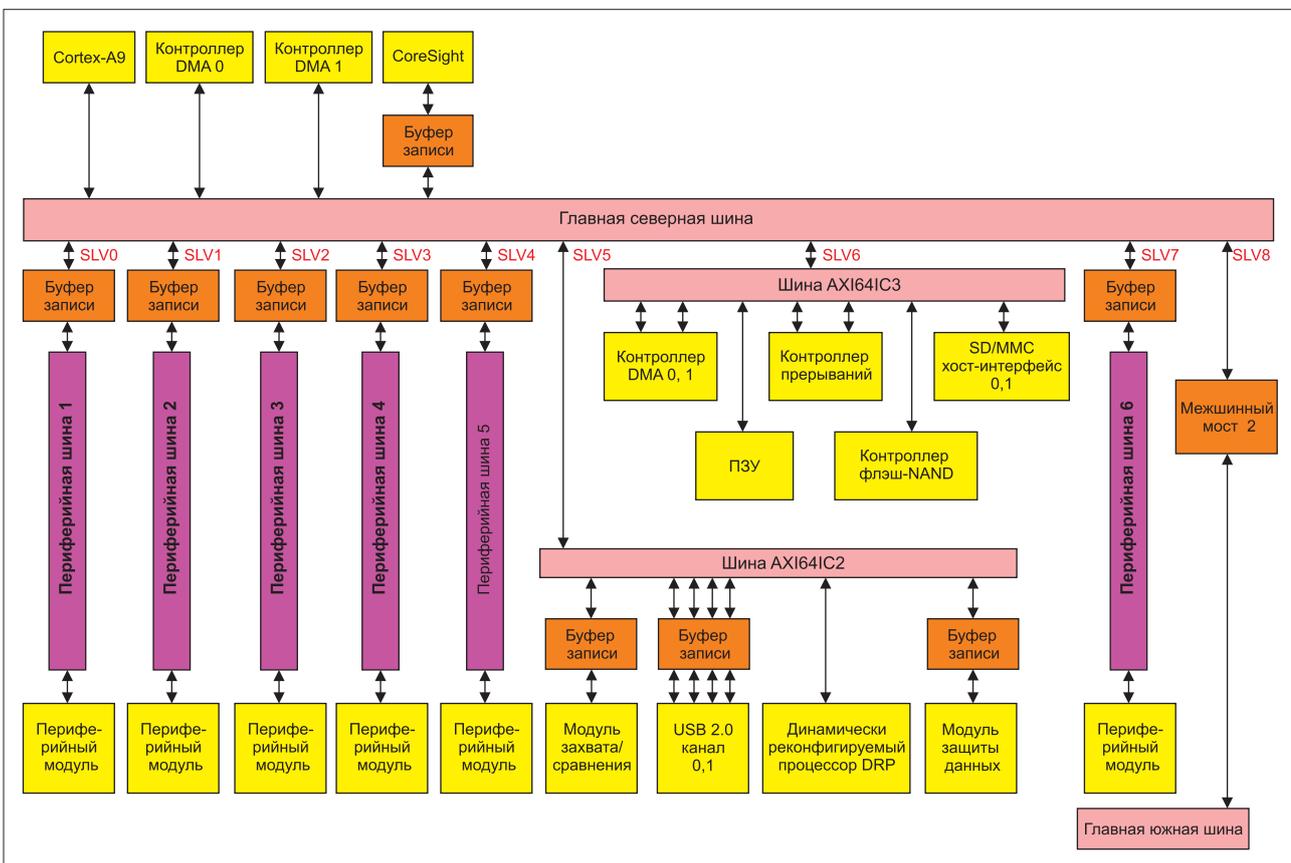


Рис. 3. Северная шина с периферийными устройствами

Таблица 2. Периферийные устройства, связанные с северной шиной

Характеристика шины	Периферийная шина 1	Периферийная шина 2	Периферийная шина 3	Периферийная шина 4	Периферийная шина 5
Частота тактирования	P0ф	P0ф	P1ф	P1ф	Вф
Ширина шины, бит	32	32	32	32	32
Подключенные периферийные устройства	Часы и календарь реального времени, контроллер дисплея, визуализатор отображения IMR-LS2	Генератор тактовых последовательностей, контроллер прерываний, DMA0, DMA1, порты ввода/вывода	CAN, таймеры 0–2, I2C, многофункциональный таймер 3, модуль ШИМ	Последовательные коммуникационные интерфейсы 0–4 с FIFO, каналы последовательных коммуникационных интерфейсов 0 и 1, последовательные периферийные интерфейсы Renesas, АЦП, кодек JPEG	Контроллеры 0 и 1 Ethernet MAC, модуль 2D-графики, интерфейс MIPI CSI-2, модуль видеовхода

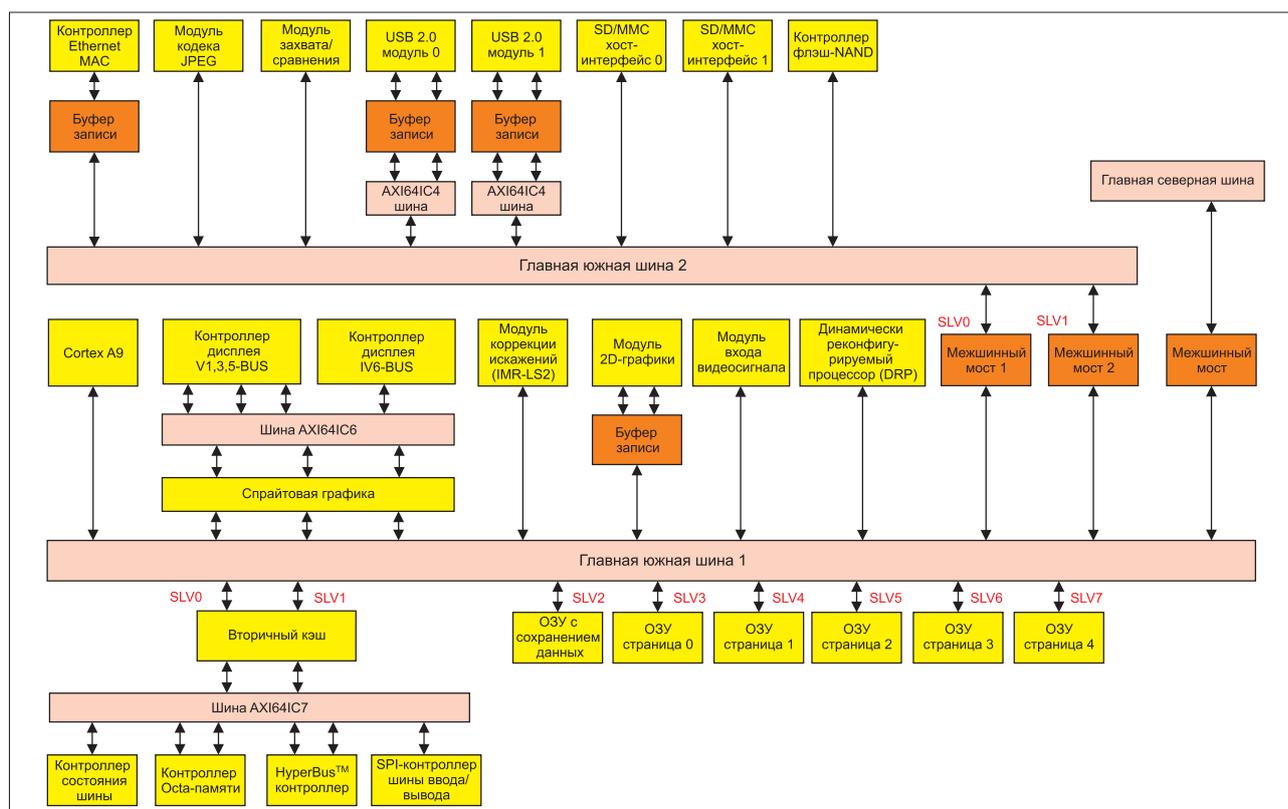


Рис. 4. Южная шина

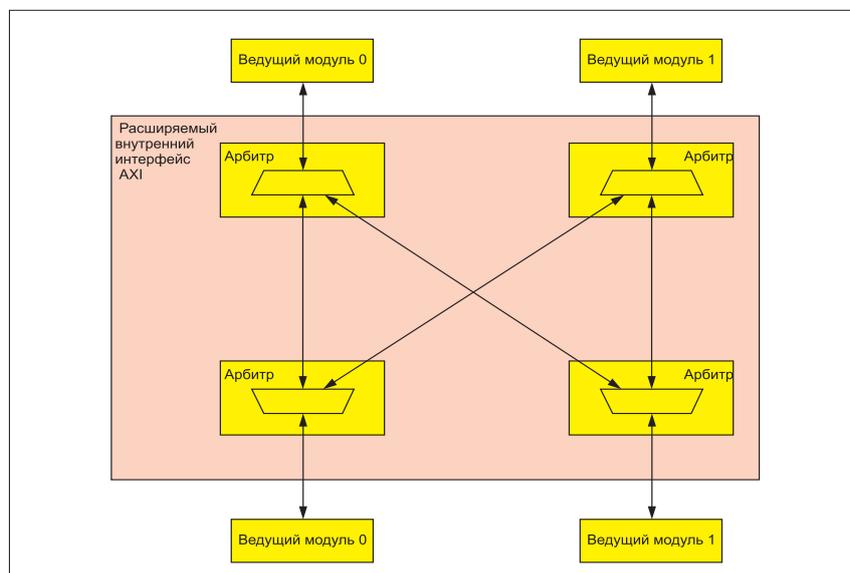


Рис. 5. Концептуальная структурная схема интерфейса AXI

transfer). Таким образом, когда разным ведущим устройствам требуется доступ к внешней низкоскоростной памяти и к высокоскоростному встроенному ОЗУ, доступ к встроенному ОЗУ происходит без задержки на ожидание, когда завершится трансфер во внешнюю память.

Контроллер состояния шины (bus state controller) обеспечивает соединение с внешней памятью и другими внешними устройствами, входящими в 4-Гбайт адресное пространство. Внешнее адресное пространство делится на пять областей, каждая из которых не должна занимать более 64 Мбайт. Для каждой области адресного пространства могут быть организованы стандартные интерфейсы SRAM, ROM (синхронные и асинхронные), MPX-I/O (обеспечивает прямой доступ к перифе-

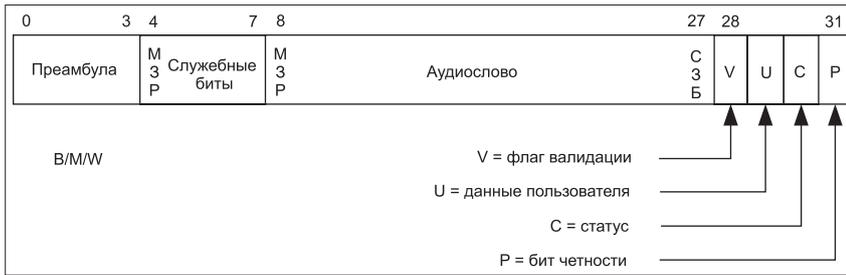


Рис. 6. Формат субкадра в интерфейсе SPDIF



Рис. 7. Формат блока в интерфейсе SPDIF

рийной шине) и SDRAM, а также выбрана ширина шины – 8 или 16 бит.

С помощью контроля состояния шины можно вводить дополнительные циклы ожидания для каждой области внешнего адресного пространства, а также для каждого доступа к чтению или записи. Кроме того, в контроллере предусмотрена функция регенерации. Детектируется долгое состояние ожидания, задается время таймаута, по истечении которого формируется сигнал прерывания. Заметим, что этот контроллер имеется только в МК, выпускаемых в 324-выводных корпусах.

### ТАЙМЕРЫ

Многофункциональный таймер MTU состоит из восьми 16-бит таймеров и одного 32-бит таймера. Максимальная тактовая частота MTU достигает 66 МГц. Предварительные делители частоты на входе каждого счетчика позволяют выбрать 11–14 вариантов входной частоты. В состав таймера входит в общей сложности 39 регистров захвата входного сигнала и сравнения. Возможна одновременная запись в несколько

таймеров MTU. Таймер, формирующий 43 прерывания, может автоматически осуществлять трансфер содержимого регистров.

Многофункциональный таймер MTU формирует меандр и последовательности ШИМ, в т. ч. комплементарный ШИМ и трехфазный ШИМ без перекрытия выходных сигналов для управления инвертором. Коэффициент заполнения выходных импульсных последовательностей изменяется в пределах 0–1.

Модуль таймера ШИМ общего назначения GPT состоит из восьми каналов 32-бит таймеров. Входной сигнал для каждого канала выбирается независимо. Его частота может находиться в диапазоне P1φ–P1φ/1024. К каждому каналу «привязаны» два регистра захвата/сравнения, а еще четыре регистра используются для буферизации; они же применяются в качестве дополнительных регистров сравнения, если не требуется буферизация выходного кода таймера.

В модуле GPT предусмотрены регистры, в которых задается цикл для каждого канала, и возможность фор-

мирования прерывания в случае, если содержание счетчика таймера не совпадает с кадром, записанным в регистрах. Предусмотрены запуск, останов и очистка содержимого счетчика как реакция на события. Всего возможно возникновение восьми таких событий.

3-канальный 32-бит таймер OSTM предназначен, в основном, для формирования прерываний. Он может работать в режиме интервального таймера или в режиме свободного счета и сравнения. При работе в режиме интервального таймера прерывания формируются при значении счетчика 0000 0000 H или совпадении заданных значений в режиме свободного счета.

### ИНТЕРФЕЙСЫ

Последовательный коммуникационный 5-канальный интерфейс SCFIFO с буфером FIFO емкостью на 16 слов поддерживает синхронный и асинхронный режимы передачи данных. Буфер FIFO емкостью на 16 слов используется для передаваемых и принимаемых данных. В зашумленной среде передачи на входе может применяться фильтр, дискриминирующий входные сигналы по длительности. Интерфейс формирует шесть прерываний по следующим событиям:

- передача окончена;
- буфер FIFO передаваемых данных пуст;
- буфер FIFO принимаемых данных полон;
- принимаемые данные готовы;
- ошибка приема данных;
- переполнение.

Последовательный коммуникационный 2-канальный интерфейс поддерживает универсальный интерфейс USART и асинхронный коммуникационный адаптер ACIA. Кроме того, в асинхронном режиме SCI поддерживает интерфейс смарт-карт, отвечающий требованиям стандарта ISO/IEC 7816–3.

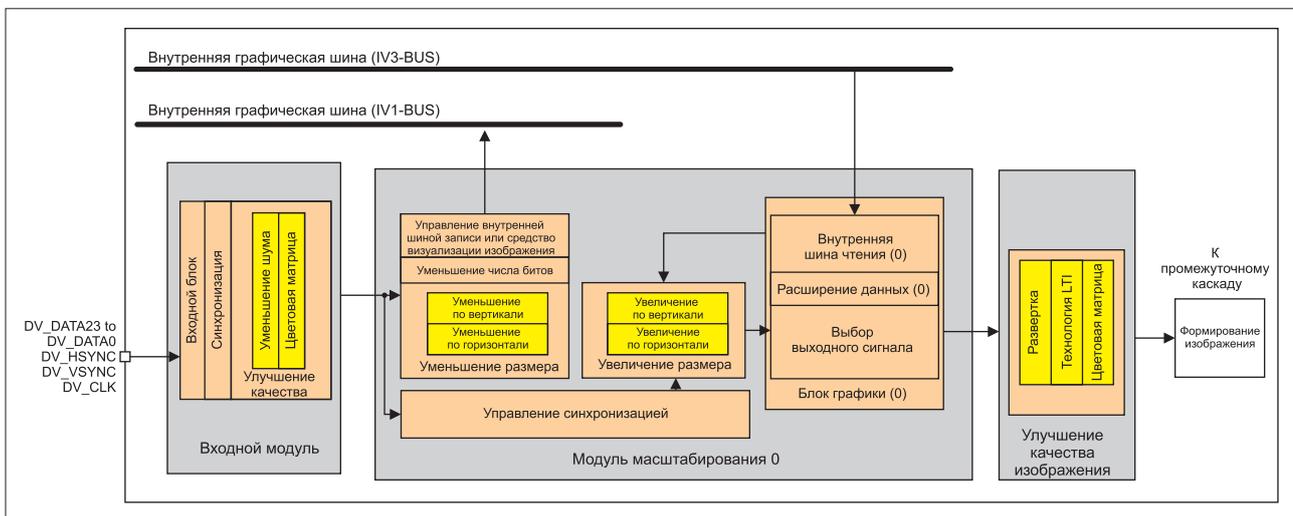


Рис. 8. Структурная схема контроллера дисплея, входная часть

Как и в случае с интерфейсом SCFIFO, в интерфейсе SCI может применяться фильтр, дискриминирующий входные сигналы по длительности.

Интерфейс SPI в МК Renesas практически не отличается от применяемых в других МК. Добавлен буфер емкостью 8 байт для передаваемых данных и буфер емкостью 32 байт для принимаемых данных. Встроенный в МК интерфейс I2C аналогичен тем, которые широко используются в других МК.

Интерфейс SSIF-2 предназначен для приема и передачи аудиоданных. Он совместим с интерфейсом I2S, монофоническим форматом и форматом TDM. В МК встроены четыре идентичных канала SSIF-2. Длина системного слова находится в пределах 8–256 бит, а длина слова данных – в пределах 8–32 бит.

Интерфейс CANFD, являющийся усовершенствованием давно известного интерфейса CAN, появился сравнительно недавно, и далеко не все выпускаемые в настоящее время МК им оснащены. Однако в МК семейства RZ/A2 M встроены два идентичных канала CANFD. Скорость передачи данных находится в пределах 125 Кбит/с...4 Мбит/с.

Интерфейс SPDIF используется для передачи аудиоданных. Он соответствует стандарту IEC 60958. Частота выборки составляет 32, 44,1 и 48 кГц. Размер слова аудиоданных может составлять 16–24 бит. Реализована двойная буферизация данных и проверка на четность, а также работа с аудиоданными, сжатыми в соответствии со стандартом IEC 61937.

Этот интерфейс встречается относительно нечасто, и потому, возможно, читателю будет интересно узнать о нем чуть больше. Кадр состоит из двух субкадров. Всего в передаваемом блоке содержатся 192 кадра. Формат субкадра показан на рисунке 6. Он состоит из 4-бит преамбулы, 24-бит аудиослова, в т. ч. четырех служебных битов. На рисунке 7 показан передаваемый блок: он начинается с преамбулы В и заканчивается 192 кадром.

Таким образом, каждый блок содержит 192 кадра × 2 субкадра = 384 субкадра. Они делятся на три вида: субкадр 0 индицирует начало передачи; субкадр 1 обычно принадлежит каналу 1, а субкадр 2 – каналу 2. Как правило, аудиоданные принимаются и отправляются непрерывно, чтобы музыкальные блоки также следовали непрерывно.

Все МК семейства RZ/A2M оснащены Ethernet, но в МК, выпускающихся в 176-выводных корпусах, имеется одноканальный Ethernet, а в остальных МК – двухканальный Ethernet. Контроллер интерфейса ETHERC совместим

со стандартом IEEE802.3 управления доступом к среде передачи данных MAC. Каждый из двух каналов ETHERC содержит уровень MAC. Поскольку контроллер ETHERC связан с контроллером прямого доступа к памяти EDMAC, специально предназначенным для обмена данными с ETHERC, участие процессорного ядра в обмене данными не требуется. Для поддержания про-

токола точного времени PTP стандарта IEEE 1588–2008 в контроллере ETHERC используется специальный встроенный в МК модуль EPTPC.

Контроллер ETHERC поддерживает скорость передачи данных 10 и 100 Мбит/с. Реализованы полудуплексный и дуплексные режимы передачи данных. Кроме того, поддерживаются стандартные интерфейсы MII

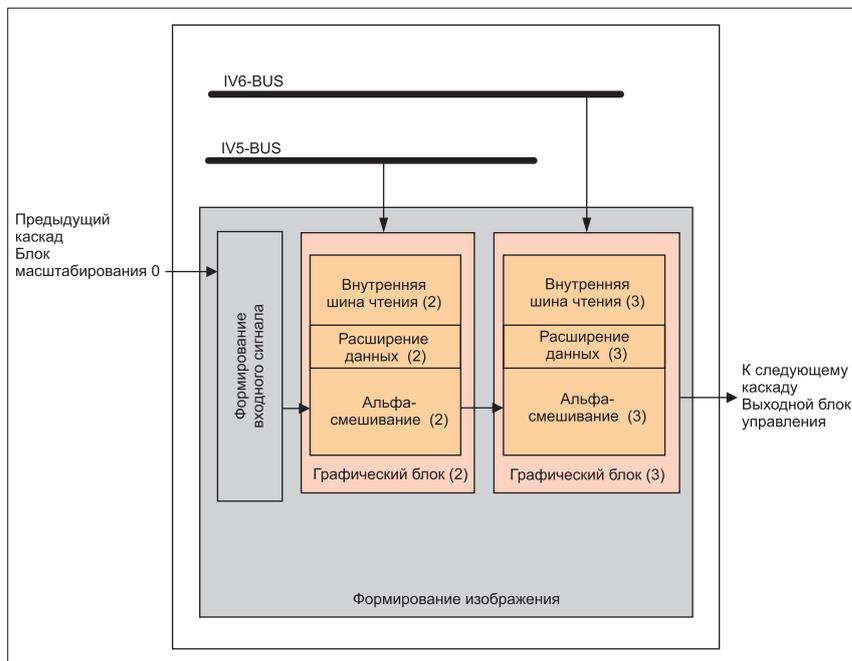


Рис. 9. Структурная схема контроллера дисплея, промежуточный тракт

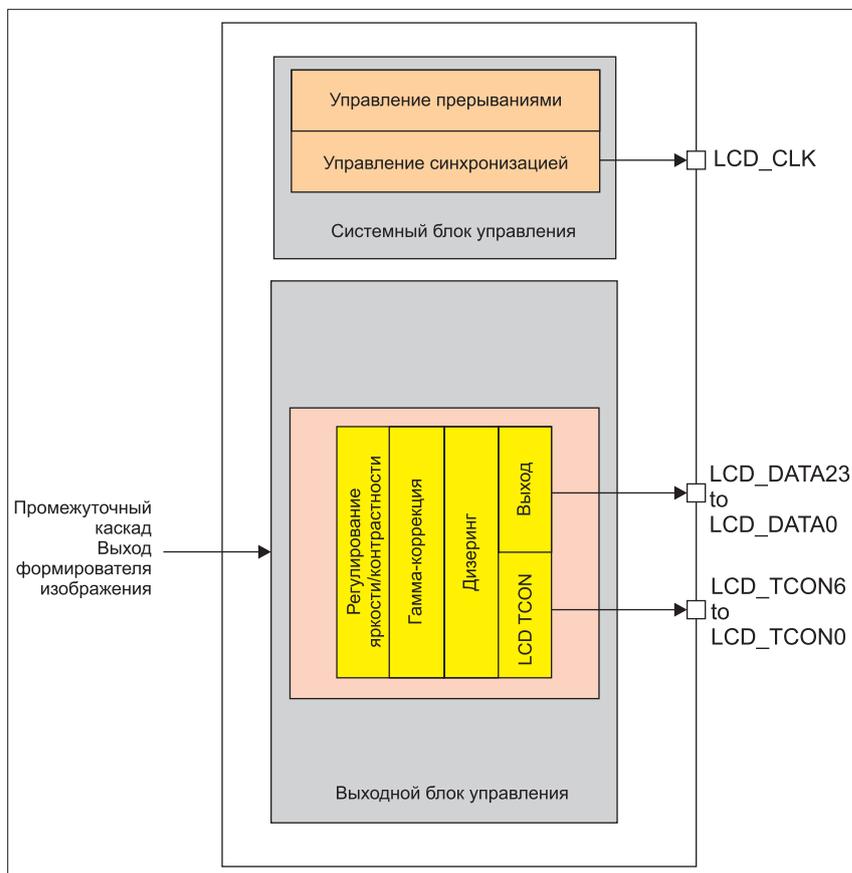


Рис. 10. Структурная схема контроллера дисплея, выходные модули

и RMI. Для выхода контроллера ETHERC из режима пониженного энергопотребления используется Magic Packet – особый пакет, служащий для пробуждения Wake-On-LAN (WOL). Этот пакет был введен в обращение компанией Advanced Micro Devices.

Последовательный интерфейс видеокамеры CSI состоит из модуля приемника, поддерживает спецификации MIPI CSI-2 V1.1 и MIPI D-PHY V2.0. Скорость прима данных изменяется в пределах 80 Мбит/с...1 Гбит/с. Модуль генерирует

сигналы вертикальной (VD) и горизонтальной (VC) синхронизации. Модуль формирует четыре прерывания.

В заключение описания интерфейсов МК упомянем интерфейс HyperBus, введенный компанией Cypress Semiconductor для реализации связи микросхем внешней памяти HyperFlash и HyperRAM, и интерфейс Octa memory, разработанный компанией Macronix International для реализации связи микросхем внешней памяти OctaFlash и OctaRAM.

### ГРАФИКА

К графическим модулям в МК относятся контроллер дисплея, интерфейс LVDS с графическими сигналами, модуль визуализации отображения IMR-LS32, модуль JCU кодека JPEG, модуль DRW формирования 2D-изображений и модуль видеовхода VIN.

Контроллер дисплея состоит из следующих шести функциональных модулей.

- Контроллер обработки входных сигналов выбирает изображение,

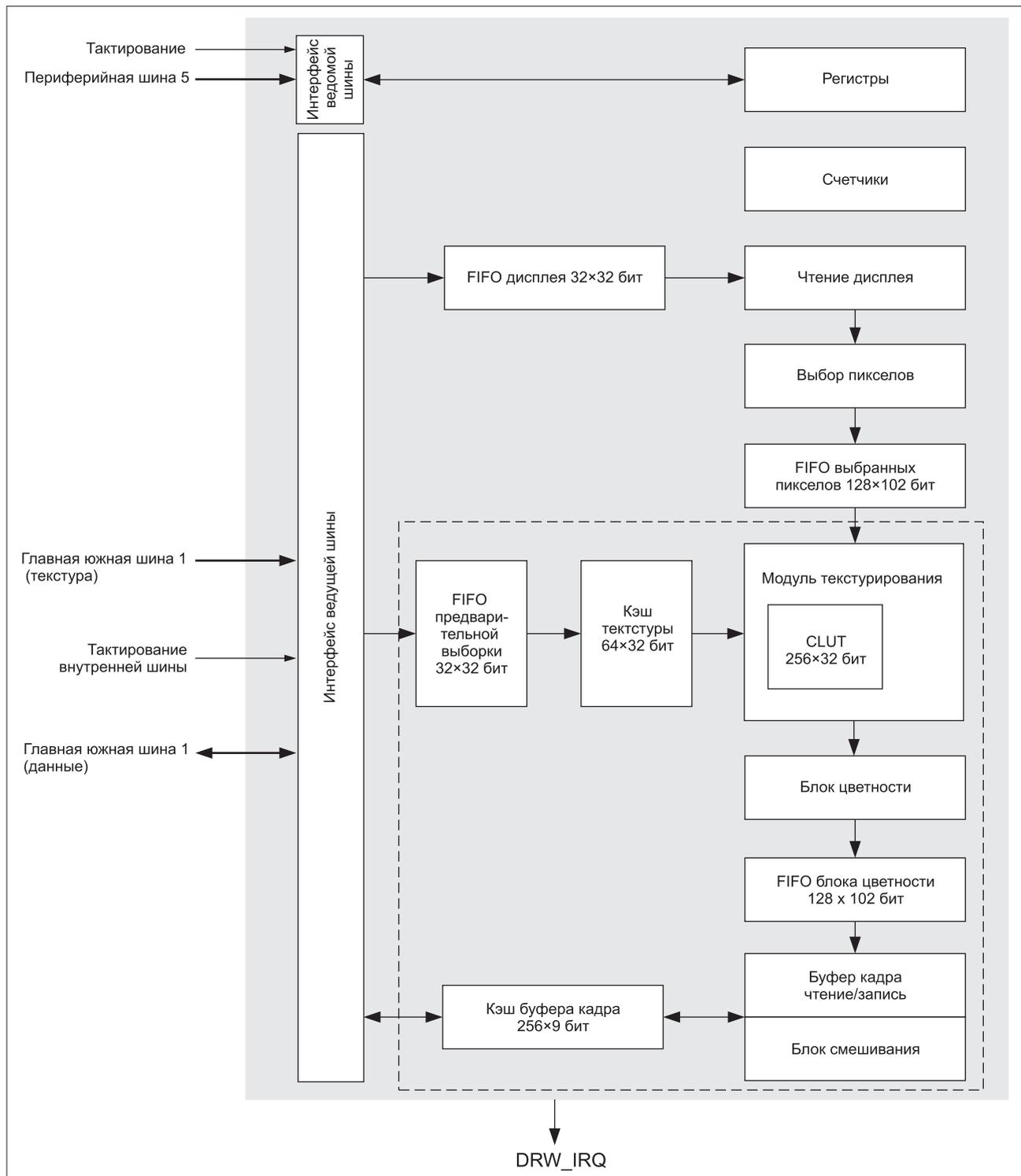


Рис. 11. Структурная схема модуля DRW

сигналы синхронизации, регулирует яркость и уменьшает шумы с помощью фильтрации, а также посредством цифровой матрицы осуществляет преобразование  $YCbCr \leftrightarrow GBR$ .

- Модуль масштабирования осуществляет увеличение или уменьшение размерности изображения, поворот изображения; при этом используется буфер кадров и перезапись входного изображения.
- Модуль обработки изображения улучшает качество изображения с использованием технологии улучшения передачи яркости LTI. В случае необходимости в модуле осуществляется преобразование  $YCbCr \leftrightarrow GBR$  с помощью цифровой матрицы.
- Модуль синтеза изображений создает одномерное изображение и добавляет два или три слоя графики.
- Контроллер выходных сигналов осуществляет регулировку яркости, контраста, гамма-коррекцию, сглаживает резкие цветовые переходы и при необходимости преобразует формат.
- Системный контроллер управляет прерываниями, тактированием, цветовой шкалой и индицирует статус контроллера дисплея.

Структурная схема контроллера дисплея показана на рисунках 8–10: именно такова последовательность прохождения сигнала от входа в контроллер дисплея до выхода графического сигнала на дисплей. Перечислим некоторые функциональные возможности контроллера дисплея.

- Размерность сохраняемого экрана (макс.): 1024×768 пикс.
- Форматы сохраняемых изображений:  $YCbCr422/YCbCr444/RGB565/RGB888$ .
- Частота входного сигнала (макс.): 87 МГц.
- Входной сигнал может соответствовать следующим стандартам:
  - 8-бит ITU-R BT.656 чересстрочный сигнал 27 МГц;
  - 8-бит ITU-R BT.656 прогрессивный сигнал (строки передаются последовательно друг за другом) 54 МГц;
  - 8-бит ITU-R BT.601 расширенный стандарт, чересстрочный сигнал 27 МГц;
  - 8-бит ITU-R BT.601 расширенный стандарт, прогрессивный сигнал 54 МГц;
  - 16-бит ITU-R BT.601 расширенный стандарт, чересстрочный сигнал 13,5 МГц;
  - цифровой вход  $YCbCr422, YCbCr444, RGB888, RGB666$  и  $RGB565$ .
- Поддерживаются прогрессивные форматы пикселей  $RGB565, RGB888$  и  $RGB1555$  и  $RGB4444$  и  $RGB8888$

$RGB$  и  $5551$   $RGB$  и  $8888$   $CLUT8$   $CLUT4$   $CLUT1$   $YCbCr422$   $YCbCr444$ .

- Размерность выходного изображения (макс.): 1999×2035 пикс (горизонталь×вертикаль).
- Формат выходного изображения:
  - $RGB888$  прогрессивный, 24-бит параллельный выход;
  - $RGB666$  прогрессивный, 18-бит параллельный выход;
  - $RGB565$  прогрессивный, 16-бит параллельный выход;
  - $RGB888$  прогрессивный, 8-бит, последовательный выход.

Модуль интерфейса LVDS преобразует выходной сигнал RGB контроллера дисплея в низковольтный дифференциальный сигнал формата LVDS. Каждый из цветов R, G и B представлен шестью битами. Тактируется модуль отдельным ФАПЧ. Интерфейс отвечает требованиям стандарта TIA/EIA-644: по трем парам проводов передаются данные и по одной паре – тактовая последовательность.

Модуль визуализации отображения IMR-LS32 является графическим процессором с простой системой команд – он исправляет искажения в захваченном двумерном изображении. Модуль IMR-LS32, который способен работать в режиме реального времени с интерфейсом видеовхода, можно использовать для сглаживания искажений изображений камеры с объективом «рыбий глаз». Более подробную информацию о модуле IMR-LS32 можно получить у производителя – компании

Renesas – после подписания соглашения о неразглашении информации.

Структурная схема модуля DRW формирования 2D-изображений приведена на рисунке 11. Последовательность формирования изображения показана на рисунке 12. Модуль поддерживает практически любую геометрию объекта и не ограничен конкретными формами, такими как круги или треугольники. Причем, края объекта могут сглаживаться или размываться. Формирование растрового изображения, отрисовка осуществляются с темпом 1 пикс./такт. Для ускорения процесса применяются методы, позволяющие исключить из растеризации пустые пиксели.

Расстояние до краев объекта определяется с помощью специальных соотношений для каждого граничного пикселя. Отдельные соотношения можно объединить в одно уравнение, описывающее весь объект. Если пиксел находится внутри объекта, он выбирается для визуализации, а если за его пределами – отбрасывается. Для краевых пикселей выбирается способ сглаживания. Каждый выбранный для изображения пиксел можно детализировать (текстурировать). В результате появляется код aRGB (альфа-RGB), причем каждая из четырех составляющих может изменяться за одну операцию растеризации (отрисовывания).

Модуль JCU кодека JPEG обеспечивает высокоскоростное сжатие и декодирование данных JPEG. Модуль не поддерживает сканирование с помощью двух

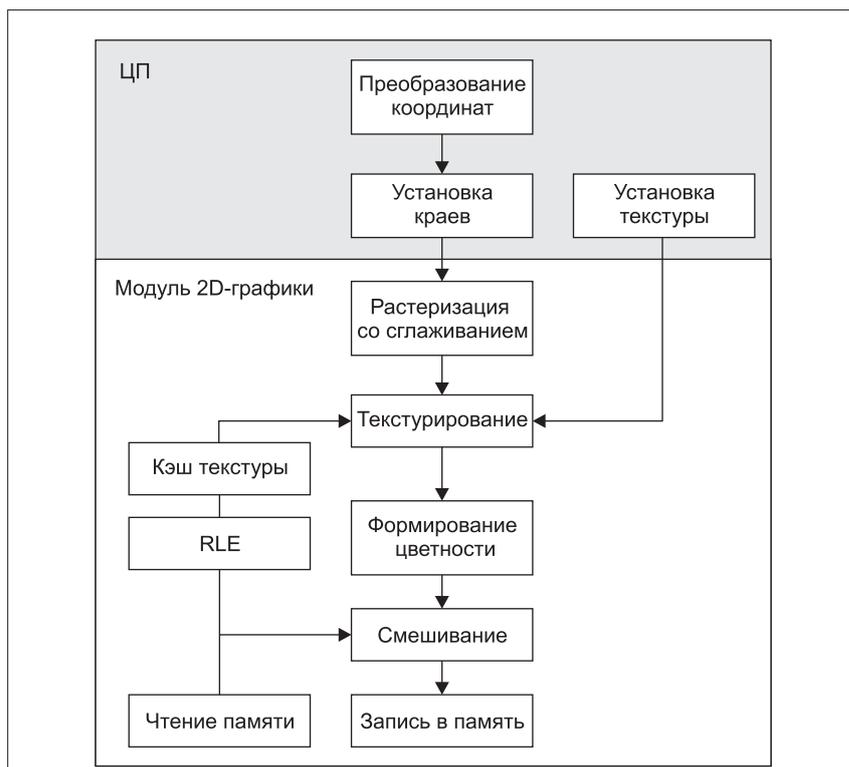


Рис. 12. Последовательность формирования изображения в модуле DRW

элементов и нечересстрочную развертку. Выполняемые операции соответствуют требованиям стандарта JPEG Part 2, ISO-IEC10918-2. Максимальная производительность модуля достигает 132 Мбайт/с при тактировании частотой 66 МГц.

Модуль видеовхода VIN предназначен для захвата и хранения во внешней памяти видеосигнала в форматах YCbCr-422 и RGB, поступающих через интерфейс MIPI CSI-2. Максимальный размер принимаемого изображения достигает 21048×2028 пикс. Модуль осуществляет преобразование форматов YCbCr-422 в RGB и RGB в aRGB.

#### АЦП

Об АЦП, входящем в состав МК, можно сказать только одно – он там есть. Это обычный 8-канальный 12-бит АЦП последовательного приближения. АЦП встроен в МК в каче-

стве дополнительного сервиса. Этот блок можно использовать, например, чтобы обеспечить обратную связь по технологической переменной при использовании МК в системе управления.

АЦП может работать в режимах 8-, 10- и 12-бит преобразования. При тактировании частотой 33 МГц время преобразования составляет 1 мкс/канал.

Как и во многих других МК, у АЦП имеются три режима работы. В режиме единичного сканирования выбранные каналы однократно опрашиваются в заданной последовательности. В режиме постоянного сканирования опрос выбранных каналов происходит непрерывно. В режиме группового сканирования каналы делятся на две или три группы; выбор режим опроса и запуск преобразования в каждой группе происходит независимо. ⇐