

РАБОЧИЕ ХАРАКТЕРИСТИКИ ПРОЦЕССОРА Z80000

Хотя конвейерная архитектура и кэш-память увеличивают производительность 32-разрядного однокристального микропроцессора Z80000, они при этом усложняют измерение его производительности. В этом случае наилучшим подходом будет представление времени выполнения инструкции как суммы трех компонентов — времен выполнения, конвейерных операций и задержек обращения к памяти.

Время выполнения инструкции — это число циклов, требуемое для выполнения инструкции, когда все данные, полученные при обращении в память, попадают в кэш-память и буфер быстрой переадресации (TLB) и когда другие инструкции не мешают ее выполнению в конвейере. Среднее время выполнения зависит от типа отдельных инструкций (табл. 1), частотного распределения кодов операций и режимов адресации. Общие инструкции, такие, как загрузка регистра словом операнда, задаваемого режимом адресации «базовый регистр плюс смещение», выполняются за один цикл процессора (два тактовых цикла). Такая же инструкция загрузки требует 10 циклов в процессоре Z8002 фирмы Zilog, 12 в приборе MC68000 компании Motorola, 17 в микропроцессоре 8086 фирмы Intel и 10 в устройстве NS16032 корпорации National, когда отсутствуют состояния ожидания. Средняя задержка выполнения инструкций для Z80000 составляет 1,3 цикла процессора.

Задержки конвейера вызываются несколькими типами взаимозависимостей инструкций. Наиболее значительны задержки для команд передачи управления, таких, как безусловный переход, вызов, возврат и т. д. Когда происходит передача управления, в потоке инструкций конвейера образуется разрыв, обусловленный выборкой инструкции, на которую происходит переход. Безусловная передача управления образует разрыв в два цикла процессора. Условная передача управления вызывает задержку в три цикла, когда переход имеет место, и не дает никакой задержки, если перехода нет. Средняя задержка на инструкцию передачи управления составляет 0,5 цикла процессора.

Другая значительная задержка в конвейере возникает, когда инструкция изменяет содержимое регистра, который

Таблица 1. ВРЕМЯ ВЫПОЛНЕНИЯ ИНСТРУКЦИЙ Z80000 В ЦИКЛАХ ПРОЦЕССОРА

Инструкция	Число циклов
Загрузка длинного слова, регистр — регистр	1
Сложение длинного слова, память — регистр	1
Сравнение слова, непосредственный адрес — регистр	2
Умножение длинного слова, память — регистр	20
Деление длинного слова, регистр — регистр	36

требуется для вычисления адреса любой из двух последующих инструкций. Когда это происходит, операция вычисления адреса должна ожидать один или два цикла процессора, пока не будет выполнена инструкция, изменяющая содержимое регистра. Такая средняя задержка из-за блокировки регистра составляет 0,2 цикла процессора на инструкцию.

Несколько других, менее важных причин задержки конвейера дают все вместе среднюю задержку в 0,2 цикла процессора. Средняя задержка конвейера, вызываемая передачей управления, блокировками регистров и другими причинами, составляет 0,9 цикла процессора на инструкцию.

Задержки обращения к памяти вызываются непопаданием данных в кэш-память и TLB. Эти задержки зависят от типа системы памяти, используемой совместно с ЦП. Рассмотрим три системы памяти, с которыми может работать процессор Z80000. Память 1 имеет 16-разрядный тракт данных, цикл, равный трем циклам процессора, и не производит пакетных передач; память 2 имеет 32-разрядный тракт данных, цикл, равный трем циклам процессора, и не производит пакетных передач; память 3 характеризуется 32-разрядным трактом данных, циклом, равным трем циклам процессора, и наличием режима пакетных передач.

Когда процессор выбирает инструкцию или операнд, которых нет в кэш-памяти, для обращения к основной памяти требуется задержка в три цикла процессора. Эффек-

Таблица 2. ХАРАКТЕРИСТИКИ КЭШ-ПАМЯТИ ПРОЦЕССОРА Z80 000

Конфигурация памяти	Память 1	Память 2	Память 3
Характеристики кэш-памяти			
Степень попадания	0,62	0,75	0,88
Непопадания в расчете на одну инструкцию	0,65	0,42	0,21
Задержка в расчете на одну инструкцию	1,9	1,3	0,63
Характеристики буфера быстрого преобразования			
Степень попадания	0,98	0,98	0,98
Непопадание в расчете на одну инструкцию	0,04	0,04	0,04
Задержка в расчете на одну инструкцию	0,78	0,56	0,56

тивность кэш-памяти измеряется степенью попаданий в нее (h), т. е. долей выбираемых слов, которые находятся в кэш-памяти. Чтобы определить среднюю задержку, обусловленную непопаданием в кэш-память, полезно вычислить среднее число непопаданий в расчете на одну инструкцию (μ). В среднем на одну выполняемую инструкцию выбираются 1,4 слова инструкции и 0,3 слова операнда. Поэтому среднее число непопаданий в кэш-память на одну инструкцию $\mu = 1,7(1-h)$. Средняя задержка на одну инструкцию из-за непопаданий в кэш-память составляет 3ц. Результирующие величины степени попадания в кэш-память, степени непопаданий и задержки на одну инструкцию в трех типах систем памяти показаны в табл. 2.

Задержка из-за непопаданий в TLB зависит не только от типа системы памяти, но и от числа уровней таблиц трансляции. Задержка обработки непопаданий в TLB составляет $(5+T) \cdot N$, где T — число циклов процессора при обращении к памяти за ссылкой, приведенной к 32-разрядному виду, а N — число уровней таблиц трансляции. Вычисление средней задержки из-за непопаданий в TLB подобно вычислению задержки из-за непопаданий в кэш-память, но операции записи операндов в память также

могут приводить к непопаданиям в TLB, потому что для записи операнда в физическую память требуется элемент таблицы страниц. В среднем за инструкцию записывается 0,15 слова операнда. Степень попадания и непопадания в TLB и задержки на одну инструкцию (при двухуровневых таблицах трансляции) для трех типов систем памяти также показаны в табл. 2.

Теперь, когда компоненты среднего времени обработки определены, можно вычислить производительность. Результаты (табл. 3) показывают, что среднее время обработки инструкции составляет от 3,4 до 4,9 цикла процессора в зависимости от типа системы памяти. Это соответствует диапазону производительности 1—1,5 млн. операция/с при тактовой частоте центрального процессора, равной 10 МГц, и 600-нс цикле памяти. Для сравнения микропроцессор Z8000, выполняя те же действия на той же тактовой частоте и с тем же циклом памяти, имеет производительность 0,7 млн. операция/с. Фирма Zilog вскоре выпустит устройства, характеризующиеся тактовой частотой до 25 МГц и имеющие память с циклом 240 нс, производительность которых составит 2,5—3,7 млн. операция/с.

Приведенная здесь производительность ЦП Z80000 была вычислена при прогоне 15 несегментированных программ, написанных для микропроцессорной системы Z8000 фирмы Zilog. Программы (табл. 4) написаны на языке C и выполнялись в обычном режиме под управлением разработанной фирмой Zilog версии Zeus операционной системы Unix.

Таблица 3. ПРОИЗВОДИТЕЛЬНОСТЬ ПРОЦЕССОРА Z80000

Система памяти	Миллионы операций в секунду	Время обработки инструкции (T_1)*	Задержка выполнения (T_E)*	Задержка в конвейере (T_D)*	Задержка обращения к памяти (T_M)
16-разрядная шина (без пакетов)	1,1	4,9	1,3	0,9	2,7
32-разрядная шина (без пакетов)	1,3	4,0	1,3	0,9	1,8
32-разрядная шина (с пакетами)	1,6	3,4	1,3	0,9	1,2

* $T_1 = T_E + T_D + T_M$ (T — время в циклах процессора), процессор Z80000 на частоту 10 МГц с 600-нс циклом памяти, степенью попадания в буфер быстрой переадресации, равной 98 %, и двухуровневыми таблицами трансляции.

Таблица 4. РАБОЧИЕ ПРОГРАММЫ, ИСПОЛЬЗОВАВШИЕСЯ ДЛЯ ОЦЕНКИ ПРОИЗВОДИТЕЛЬНОСТИ ПРОЦЕССОРА Z80000

Программа	Место использования
C1	Анализатор C-компилятора
C2	Генератор кодов C-компилятора
C3	Оптимизатор C-компилятора
C4	Программа листинга C-компилятора
CPP	Предпроцессор C-компилятора
DIFF	Программа сравнения файлов
ED	Редактор строк
GREP	Поиск по шаблону
LS	Листинг справочника файлов
NM	Листинг имен модулей загрузки
OD	Восьмеричный дампинг содержимого памяти
PR	Формат для построчной печати
SED	Редактор потока
SORT	Сортировка
VI	Редактор экрана

ПЕРСПЕКТИВЫ РЫНКА 32-РАЗРЯДНЫХ МИКРОПРОЦЕССОРОВ

Несмотря на то что еще не утихли страсти, разыгравшиеся в борьбе за обладание рынком 16-разрядных микропроцессоров, объявление о выпуске фирмой Zilog процессора Z80000 означает, что уже выстраиваются в боевые порядки потенциальные конкуренты за место на рынке, который едва ли сформируется до 1985 г. Но и в противостоящих лагерях предпринимаются действия, с последствиями которых изготовителям изделия Z80000, по-видимому, придется столкнуться через эти несколько лет.

Кэш-память на кристалле не будет преимуществом только процессора Z80000, когда фирма Motorola (Остин, шт. Техас) разместит в своем 32-разрядном микропроцессоре MC68020 блок повышения производительности. Однако в то время, когда фирма Zilog предлагает кэш-память для инструкций и данных, фирма Motorola предпочла использовать кэш-память только для инструкций. Так как Motorola планирует выпуск большого числа сопроцессоров, таких, как ИС MC6881 арифметики с плавающей точкой, то ее руководство понимает, что, не помещая данные в кэш-память, можно повысить надежность, очевидно, потому, что устройства, пользующиеся данными совместно, будут работать с одной копией данных в памяти системы.

Используя смешанную n-канальную и К/МОП-технологии, фирма Motorola надеется сохранить значение мощности, рассеиваемой прибором 68020, ниже 1,5–2 Вт (т. е. примерно таким же, как и у 16-разрядного микропроцессора 68000) и выпускать его в больших количествах в обычном корпусе DIP вместо квадратного 100-выводного корпуса с матричным расположением штырьковых выводов¹.

Фирма Intel Corp. (Санта-Клара, шт. Калифорния) рассматривает упрочить свое лидирующее положение на рынке 16-разрядных процессоров, где она продает свои приборы 8086/88, 80186 и 80286, распространив свою деятельность и на сектор 32-разрядных микропроцессоров путем продажи 32-разрядного устройства 80336, которое, как ожидают, будет иметь удвоенную производительность по сравнению с процессором 80286. В дополнение к управлению сегментированной памятью, аналогичному тому, которое уже предусмотрено в 16-разрядной машине 80286, фирма Intel до-

гонит компанию Zilog, разместив средства страничной обработки (помимо блока управления памятью) на кристалле ее 32-разрядного процессора.

Кроме своего прибора 32032 с 32-разрядной шиной данных и 24-разрядной шиной адресов фирма National Semiconductor Corp. (Санта-Клара) планирует выпустить полностью 32-разрядный микропроцессор с тактовой частотой 20 МГц, модель 32132. Благодаря использованию К/МОП-технологии с 1,5-мкм проектными нормами фирма National планирует поместить на кристалле средства управления памятью со страничным запросом, арифметику с плавающей точкой, соответствующую стандартам ИИЭР, и блок управления прерываниями, что приведет в результате к созданию устройства, которое, по оценкам специалистов, будет содержать свыше 500 000 транзисторов.

На рынке, где потребители серийной продукции иногда, похоже, лучше знакомы с планами выпуска продукции, чем с ее техническими характеристиками, четыре основных участника указывают совсем разные даты появления образцов их продукции в течение следующих двух лет. Фирма Zilog планирует продемонстрировать образцы весной 1984 г., компания Motorola — в начале 1984 г., а фирма Intel — в конце 1983 г. Хотя корпорация National и не ожидает появления первого образца кремниевого микропроцессора 32132 ранее 1985 г., она намерена выпустить образцы микропроцессора 32032 с 24-разрядным адресом к августу 1983 г.

Несмотря на спешку с выпуском образцов фирмы — изготовители полупроводниковых приборов в основном согласны с тем, что рынок 32-разрядных процессорных ИС все еще мал — поставки должны составить около 100 000 устройств в 1984 г. при росте до 1 млн. шт. в 1987 г. (в соответствии с цифрами, опубликованными в 1982 г. исследовательской фирмой Dataquest, Купертино, шт. Калифорния). Большинство специалистов считают, что до 1985 г. рынок будет медленно расти за счет интеграции 32-разрядных систем в рабочие станции, роботы, графические и конторские многоабонентские системы. На самом деле, хотя объемы и скорость роста продаж в целом согласуются с цифрами компании Dataquest, фирма Intel считает, что реальный объем рынка будет отставать от этих показателей на целый год.

Стивен Эванчук (материалы подготовил
Дж. Роберт Лайнбек)

¹ *Электроника*, 1983, № 7, с. 9.