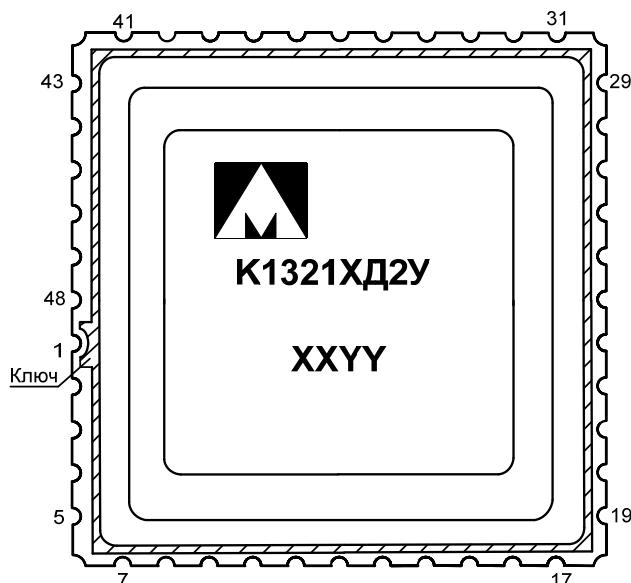




Микросхемы формирователя модулирующего сигнала 1321ХД2У, К1321ХД2У, К1321ХД2УК

Основные характеристики микросхемы:



ХХ – год выпуска
УУ – неделя выпуска

- Напряжение питания на аналоговых выводах от 3,0 В до 3,6 В
- Напряжение питания на цифровых выводах от 1,62 В до 1,98 В
- Динамический ток потребления не более 40 мА
- Статический ток потребления в состоянии «Выключено» не более 25 мкА
- Отношение сигнал/шум не менее 45 дБ

- Температурный диапазон:

Обозначение	Диапазон
1321ХД2У	минус 60...85 °С
К1321ХД2У	минус 60...85 °С
К1321ХД2УК	0...70 °С

Тип корпуса:

- 48-и выводной металлокерамический корпус 5142.48-А

Области применения микросхемы

Микросхема формирователя модулирующего сигнала 1321ХД2У является комбинацией целого набора аналого-цифровых и цифро-аналоговых преобразователей в составе системы цифрового радио и осуществляет критические цифровые обработки сигналов. Микросхема идеально подходит для построения узкополосной системы связи основанной на фазовой манипуляции. Гибкость в архитектуре микросхемы позволяет использовать ее и в системах связи ориентированных на модуляции, отличными от фазовой манипуляции.

ЦАП формирующий модулированный сигнал включает все функции для преобразования символов цифровых данных в аналоговые I и Q сигналы для внешнего переносчика частоты на несущую частоту. Максимальный битовый поток 72 кбит/с, используя фазовую манипуляцию $\pi/4$ -DQPSK или 108 кбит/с, используя фазовую манипуляцию $\pi/8$ -D8QPSK.

Микросхема так же включает в себя АЦП коррекции мощности для оцифровки I и Q каналов с частотой выборки до 36 кГц.

Для контроля и управления внешними устройствами системы связи микросхема имеет дополнительный 8 битный ЦАП и 10 битный АЦП

ОГЛАВЛЕНИЕ

ОБЛАСТИ ПРИМЕНЕНИЯ МИКРОСХЕМЫ	1
ОБЩЕЕ ОПИСАНИЕ.....	3
ОПИСАНИЕ ВЫВОДОВ.....	4
СТРУКТУРНАЯ БЛОК-СХЕМА МИКРОСХЕМЫ.....	6
ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМЫ	7
Архитектура программируемых КИХ-фильтров	7
Программируемый коэффициент дискретизации	8
Тракт ЦАП модулирующего сигнала	9
Тракт АЦП коррекции мощности	10
Дополнительный ЦАП	10
Дополнительный АЦП	10
PLL.....	10
Последовательные интерфейсы микросхемы	11
Передача данных	15
Настройка фазы счетчика символов.....	17
Режимы пониженного тока потребления	17
КАРТА РЕГИСТРОВ УПРАВЛЕНИЯ МИКРОСХЕМЫ.....	18
СПИСОК РЕГИСТРОВ	20
Регистры общей конфигурации	20
Регистры конфигурации ЦАП передатчика	22
Регистры конфигурации АЦП коррекции мощности	29
Регистры конфигурации дополнительного ЦАП	30
Регистры конфигурации дополнительного АЦП	31
Регистры конфигурации PLL	33
Тестовые режимы для микросхемы	36
ПРЕДЕЛЬНО ДОПУСТИМЫЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМЫ.....	39
ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОСХЕМЫ	41
СПРАВОЧНЫЕ ДАННЫЕ	43
ГАБАРИТНЫЙ ЧЕРТЕЖ МИКРОСХЕМЫ	44
ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА	45
ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ	46

Общее описание

Характеристики передающего ЦАП

- Отключаемый цифровой модулятор $\pi/4$ -DQPSK или $\pi/8$ -D8QPSK
- Программируемые фильтры с конечной импульсной характеристикой (КИХ-фильтр)
- Программируемая скорость включения/выключения ЦАП
- Настройка усиления, фазы и смещения
- 2 сигма-дельта 14-разрядных ЦАП
- Программируемая частота дискретизации ЦАП

Характеристики корректирующего АЦП

- 2 сигма-дельта 16-разрядных АЦП
- Сглаживающий фильтр децимации с программируемой частотой дискретизации
- Настройка усиления

Характеристики дополнительного ЦАП

- 8-ми битный ЦАП
- Задание шкалы выходного размаха через дополнительные выводы микросхемы

Характеристики дополнительного АЦП

- 10-ти битный АЦП
- Задание шкалы входного размаха через дополнительные выводы микросхемы или внутренних опор

Характеристики PLL

- Автоматическая регулировка опорных токов
- Гибкая настройка токов ГУН, источников опорного тока

Последовательные интерфейсы

- Последовательный интерфейс SPI для программирования управляющих регистров микросхемы
- Последовательный интерфейс SSI для передачи битов или I/Q отсчетов в ЦАП формирователя модулирующего сигнала
- Последовательный интерфейс SSI для чтения I/Q отсчетов из АЦП корректирующего канала

Описание выводов

Таблица 1

Вывод	Условное обозначение	Описание
SSI интерфейс		
6	SSI_CLK	Синхросигнал для SSI интерфейса
5	SSI_FRM	Фрейм для SSI интерфейса
4	SSI_DAC	Шина последовательных данных для DAC
3	SSI_ADC	Шина последовательных данных для ADC
SPI интерфейс		
2	SPI_CS	Сигнал выбора микросхемы
1	SPI_CLK	Синхросигнал для SPI интерфейса
48	SPI_DIO	Шина последовательных данных для SPI
47	SPI_DO	Шина последовательных данных для SPI
PLL интерфейс		
43	MCLK	Опорная частота
40	LCP	Положительный вывод LC-tank
39	LCN	Отрицательный вывод LC-tank
36	PLL_VF	Фильтр PLL
46	N_RESET	Сброс микросхемы
DAC модулированного сигнала		
31	ITXP	Положительный выход I канала
30	ITXN	Отрицательный выход I канала
34	QTXP	Положительный выход Q канала
33	QTXN	Отрицательный выход Q канала
28	TXCH	Фильтрующая емкость VREFH
27	TXCL	Фильтрующая емкость VREFL
26	TXREF	Опорный уровень выходного сигнала
ADC канала коррекции мощности		
15	IRXP	Положительный вход I канала
14	IRXN	Отрицательный вход I канала
18	QRXP	Положительный вход Q канала
17	QRXN	Отрицательный вход Q канала

Вывод	Условное обозначение	Описание
Дополнительные 10 разрядный АЦП и 8 разрядный ЦАП		
24	AXIN	Аналоговый вход АЦП
23	AXVREFH	Верхний уровень диапазона ADC и DAC
22	AXVREFL	Нижний уровень диапазона ADC и DAC
20	AXOUT	Аналоговый выход ЦАП
JTAG интерфейс		
9	TCK	Синхросигнал
10	TMS	Выбор режима
11	TDI	Вход данных
12	TDO	Выход данных
13	TRST	Сигнал сброса
Контакты питания		
16	VDDRХ	Питание ADC коррекции мощности
32	VDDTX	Питание DAC модулированного сигнала
25	VDDAX	Питание дополнительных ЦАП и АЦП
35	VDDPLLA	Питание внутреннего PLL (аналоговое)
42	VDDPLLD	Питание внутреннего PLL (цифровое)
7	VDDIO	Питание I/O
45	VDDD	Питание цифрового ядра
19	GNDRX	Земля ADC коррекции мощности
29	GNDTX	Земля DAC модулированного сигнала
21	GNDAX	Земля дополнительных ЦАП и АЦП
38	GNDPLLA	Земля внутреннего PLL (аналоговое)
41	GNDPLLD	Земля внутреннего PLL (цифровое)
8	GNDIO	Земля I/O
44	GNDD	Земля цифрового ядра
37	SUB	Контакт к подложке

Структурная блок-схема микросхемы

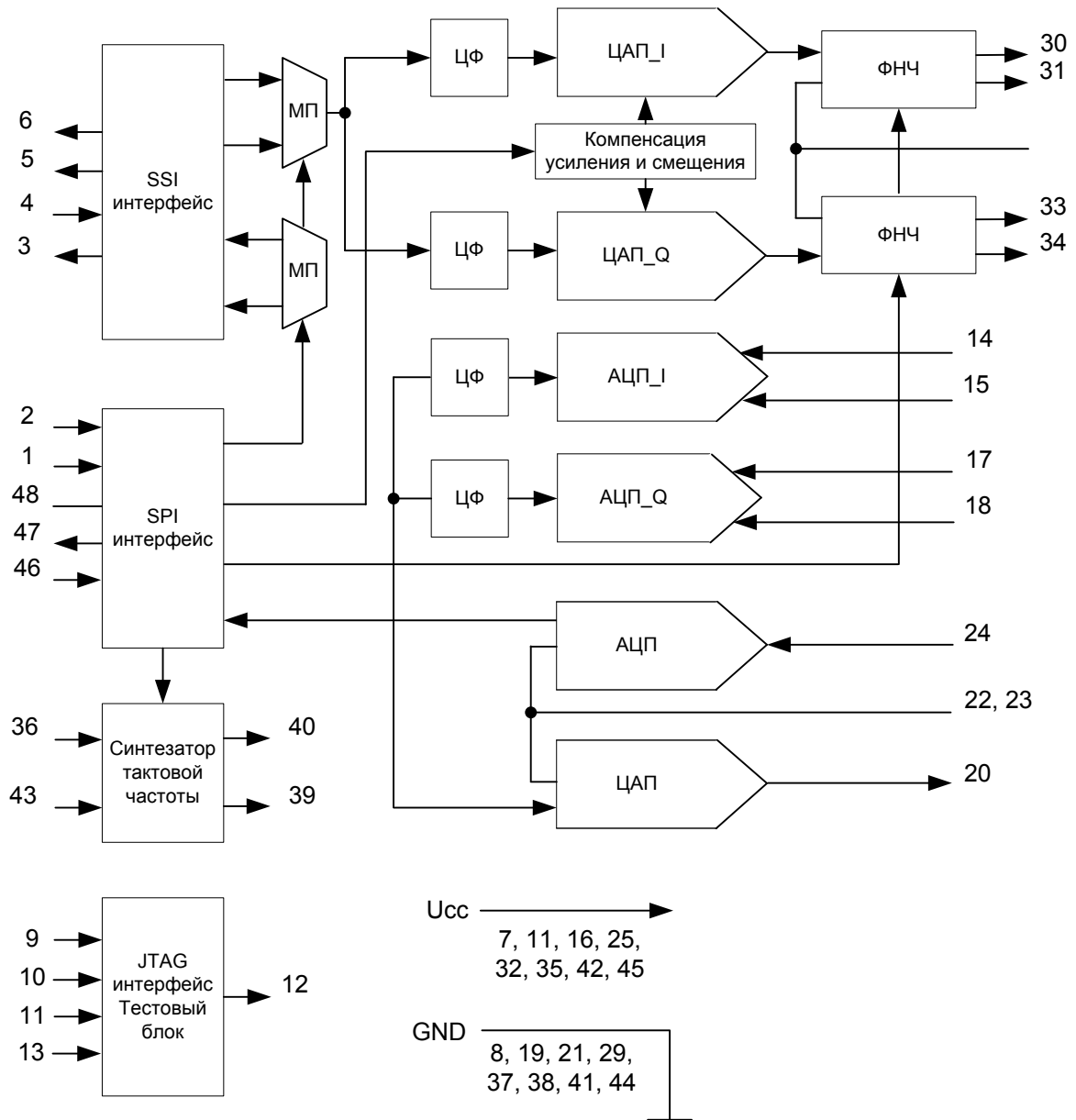


Рисунок 1 Структурная блок-схема

Примечание

Все элементы схемы имеют электрическую связь с соответствующими контактными площадками

Описание функционирования микросхемы

Микросхема формирователя модулирующего сигнала 1321ХД2У предназначена для построения передающего тракта в узкополосных системах связи.

Архитектура программируемых КИХ-фильтров

Для эффективного хранения данных и коэффициентов во время работы фильтров используют небольшой объем локальной статической памяти. При включении питания в ОЗУ загружаются коэффициенты фильтров, установленные по умолчанию, что обеспечивает характеристики, необходимые для системы TETRA (это занимает 512 тактов синхросигнала). Эти коэффициенты обеспечивают работу арифметического устройства без переполнения для любых входных данных. Каждый фильтр имеет нечетное число коэффициентов по умолчанию, являясь симметричным и дающим линейную фазовую характеристику. Данные коэффициенты могут быть перезаписаны для работы в других системах или для устранения неполадок вне устройства. Тем не менее в этом случае пользователь несет ответственность за то, что заданные значения не вызовут переполнения в арифметическом устройстве.

Данные входных отчетов и коэффициенты из ОЗУ позволяют реализова общую КИХ передаточную функцию:

$$y(k) = \sum_{n=1}^{n=FL} A_n \cdot D_{(n-k)}$$

где

FL – порядок фильтра

A_n – n -ый коэффициент фильтра

$D_{(n-k)}$ – выборка данных, проходящих через фильтр в предыдущие $n-k$ отсчетов.

Сброс микросхемы по средствам вывода микросхемы N_RESET или бита DigReset (бит [6] в регистре 0x00) вызовет перезапись всех коэффициентов программируемого фильтра значением по умолчанию. ОЗУ данных в отличие от ОЗУ коэффициентов не является доступными для внесения изменений пользователем.

Для того, чтобы перезаписать значения коэффициентов пользователь должен убедиться, что ЦАП выключен (бит [0] регистра 0x02) и синхросигнал для цифровых фильтров ЦАП включен (бит [2] регистра 0x00). Доступ к коэффициентам осуществляется через 3 регистра: 0x11 (адресный регистр), 0x12 (младшая часть данных), 0x13 (старшая часть данных).

Для чтения коэффициента необходимо записать адрес требуемого коэффициента (регистр 0x11), а затем можно через регистры 0x12 и 0x13 прочитать 12 битный коэффициент. Порядок чтения (старшая или младшая часть вперед) не важен.

Для записи нового значения сначала записывается адрес модифицируемого коэффициента (регистр 0x11), затем младшая часть (регистр 0x12), а следом старшая часть (регистр 0x13). При записи порядок записи в регистры выжжен. Фактическое обновление значения произойдет после записи в регистр 0x13.

Адресное пространство коэффициентов приведено ниже:

Адресное пространство коэффициентов фильтров

Таблица 2

<i>Диапазон адресов</i>	<i>Назначение коэффициентов</i>
00-3E	Фильтр приподнятого косинуса (все коэффициенты)
40-67	Низкочастотный фильтр (коэффициенты половины фильтра)
68	Нормализующий коэффициент (0.7124)

Коэффициенты первого фильтра (по умолчанию фильтр приподнятого косинуса) полностью задаются в ОЗУ. Это позволит пользователю реализовать функции несимметричных фильтров в случае необходимости. Низкочастотный фильтр, длина которого 79, задается только половиной коэффициентов. Поэтому этот фильтр может быть только симметричным. Все фильтры могут быть эффективно проходными путем установки любого единичного коэффициента в состояние «единица», а всех остальных – в «ноль». Выбор положения коэффициента со значением «единица» повлияет на изменение внутренней групповой задержки, таким образом, данное свойство следует использовать с осторожностью.

Программируемый коэффициент дискретизации

Частота дискретизации АЦП и ЦАП одинаковая. Эта частота равна

$$F_{DAC} = F_{ADC} = \frac{F_{MCLK}}{1024 * (DECSTAT + 1)}, \text{ где}$$

DECSTAT – 2х битное поле в регистре 0x01. F_{MCLK} - это опорная частота цифрового ядра микросхемы. Она может быть сформирована или внешним генератором или PLL. Максимальное значение – 37МГц. Ниже приведены варианты коэффициентов дискретизации АЦП и ЦАП для $F_{MCLK} = 36.864\text{МГц}$.

Коэффициенты дискретизации

Таблица 3

Значение DECSTAT	Частота дискретизации АЦП и ЦАП
00	36кГц
01	18кГц
10	9кГц
11	4.5кГц

Тракт ЦАП модулирующего сигнала*МОДУЛЯТОР*

Модулятор преобразует двоичные символы, кодирует их кодом Грея и применяет рекурсивный сумматор для генерации 3-разрядного кода определяющего восемь возможных состояний фазы. В таблице кодировок приводятся все закодированные значения I и Q для каждого состояния фазы.

ФИЛЬТРЫ

Данные фильтруются двумя КИХ фильтрами. Первый фильтр имеет длину 63 и характеристику корня из приподнятого косинуса с коэффициентом $\alpha = 0.35$. Данные попадают в фильтр с входной частотой дискретизации и интерполируются на частоту в 8 раз выше входной. Далее идет сглаживающий фильтр нижних частот с длиной 79. Микросхема поддерживает режим обхода фильтров (бит [6] в регистре 0x02) и данные подаются в микросхему с частотой дискретизации в 8 раз выше номинальной.

УПРАВЛЕНИЕ УСИЛЕНИЕМ

Амплитуда каждого канала имеет возможность независимой настройки. Усилитель обеспечивает разрешение в 11 бит; то есть настраивается последовательно с шагом 1/2048 от максимального уровня. Дополнительное логическое устройство обеспечивает режим работы, при котором сигнал плавно усиливается при включении до рабочего уровня, и так же плавно ослабляется при выключении.

ФАЗОВЫЙ СДВИГ

Блок сдвига фазы позволяет пользователю компенсировать неортогональную фазу несущей во внешнем квадратурном модуляторе путем регулировки фазы I и Q каналов с шагом 1/8 символьной частоты.

НАСТРОЙКА СМЕЩЕНИЯ

Управление смещением позволяют скорректировать смещения аналоговых сигналов на линиях передачи. Настройки применяется независимо к каждому из каналов I и Q. Диапазон настройки может варьироваться во всей шкале сигнала. Поэтому, необходимо действовать с осторожностью, чтобы избежать ограничения сигнала при излишнем смещении.

ПЛАВНОЕ ВКЛЮЧЕНИЕ И ВЫКЛЮЧЕНИЕ КАНАЛОВ

Микросхема имеет отключаемый режим плавного увеличения амплитуды сигнала при включении ЦАП, а так же плавного ослабления амплитуды при выключении. Скорость включения и выключения регулируется регистров SP_RAMP (0x0F, 0x10). Плавное включение и выключение выходной амплитуды помогают минимизировать внеканальные помехи во время включения/выключения передачи.

СИГМА-ДЕЛЬТА ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ И ВОССТАНАВЛИВАЮЩИЕ ФИЛЬТРЫ

ЦАП преобразователей обеспечивает низкий уровень искажений и динамический диапазон > 60 дБ. Оконечный блок тракта включает в себе сигма-дельта модулятор, работающий на частоте в 128 раза большей, чем входная символьная частота, а так же восстанавливающий низкочастотный фильтр 2

порядка. Кроме этого ЦАП позволяет регулировать синфазный уровень I и Q каналов с помощью задания его на внешнем входе микросхемы.

Тракт АЦП коррекции мощности

ФИЛЬТР ПОДАВЛЕНИЯ ЗЕРКАЛЬНЫХ ЧАСТОТ, А ТАКЖЕ СИГМА-ДЕЛЬТА АЦП

Сигма-дельта АЦП работает на частоте в 128 раз выше частоты выходных отчетов. Для исключения влияния зеркальных частот на характеристики АЦП тракт имеет в своем составе фильтр низких частот второго порядка с подавлением помех на частоте 1МГц не хуже 20дБ. За фильтром идет сигма-дельта модулятор, обеспечивающий отношение сигнал шум не хуже 72дБ.

КИХ ФИЛЬТРЫ

Фильтры обеспечивают подавление помех сигма-дельта АЦП, а так же помех во внешнем тракте и понижают частоту выходных отчетов до символьной частоты.

УСИЛЕНИЕ I И Q КАНАЛОВ

Тракт АЦП позволяет задать коэффициент усиления для обоих каналов с шагом в 1дБ.

Дополнительный ЦАП

8-ми битный ЦАП обеспечивает формирование выходного уровня для внешних устройств. ЦАП обеспечивает монотонную выходную характеристику. Шкала выходного сигнала формируется между уровнями, задающимися через внешние входы микросхема (AXVREFH и AXVRENH).

Дополнительный АЦП

10-ти битный АЦП обеспечивает дополнительные измерительные и контрольные функции. АЦП включает в себя внутреннюю схему выборки и хранения и обеспечивает пропорциональное соотношение цифрового сигнала на выходе и напряжения на входе. Преобразователь является монотонными с точностью до 1 %. Шкала входного напряжения может быть задана через внешние входы микросхема (AXVREFH и AXVRENH) или между входом и питанием. Частота работы АЦП регулируется внутренним предделителем частоты опорного синхросигнала.

PLL

Внутреннюю опорную частоту микросхемы можно задать или с помощью опорного генератора, или с помощью опорной частоты (в диапазоне 2-26МГц) и PLL. ГУН для петли PLL должен быть выполнен внешними элементами (LC контуром с варактором). С помощью управляющих регистров можно плавно регулировать задающие токи блоков. Есть так же возможность автоматической регулировки тока. Эти функции позволяют снизить общий ток потребления микросхемы.

Последовательные интерфейсы микросхемы

Микросхема имеет в своем составе два последовательных порта:

- SPI интерфейс (3/4 проводной интерфейс для конфигурации микросхемы)
- SSI интерфейс (4 проводной интерфейс для передачи/приема отчетов ЦАП/АЦП коррекции мощности)

SPI ИНТЕРФЕЙС

Интерфейс может быть сконфигурирован с помощью бита SPIMD в 4х проводной (по умолчанию) или в 3х проводной. В случае 3х проводной линии шина SPI_DIO является двунаправленной и по ней идет передача как к микросхеме, так и от нее.

По SPI интерфейсу можно сформировать два цикла: запись и чтение. В каждом цикле передача данных осуществляется по положительному фронту SPI_CLK, а фиксирование данных по отрицательному фронту SPI_CLK. В каждом цикле передается 6-ти битный адрес, а затем передаются или принимаются 8-ми битные данные. Диаграммы приведены ниже.

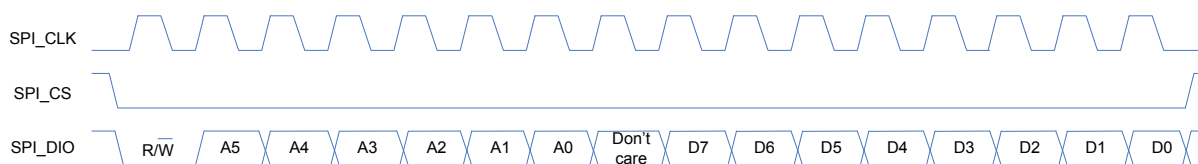


Рисунок 2 Цикл записи

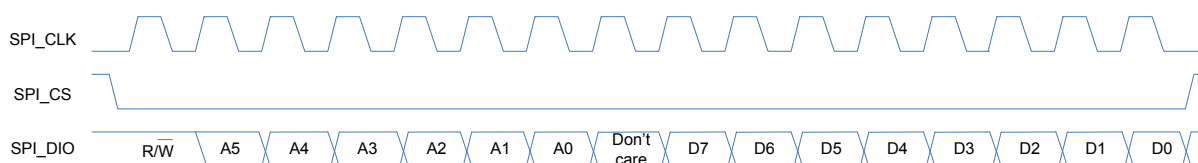


Рисунок 3 Цикл чтения. 3-х проводная конфигурация

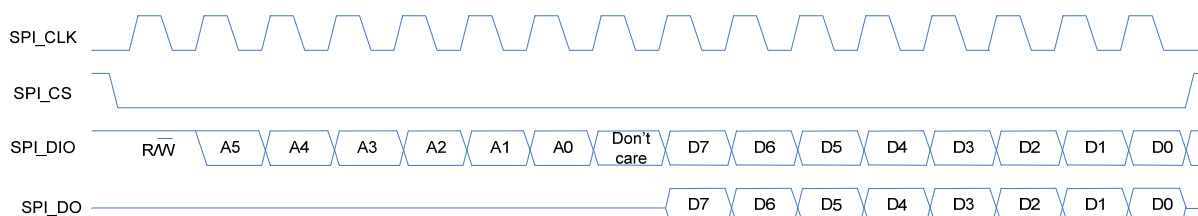


Рисунок 4 Цикл чтения. 4-х проводная конфигурация

SSI ИНТЕРФЕЙС

Интерфейс служит для передачи отчетов для ЦАП, а так же приему отчетов от АЦП коррекции мощности. Так как для обоих каналов используется одни и те же FS и CLK, то частота отчетов для АЦП и ЦАП должны совпадать. Интерфейс всегда выступает как master поэтому сигналы SSI_FRM и SSI_CLK формируются микросхемой. В зависимости от того включен ли цифровой модулятор (биты SSICFG) длина слова может быть 16 бит (SSICFG=000, 001, 010, 100, 101, 110) или 32 бита (SSICFG=111). Так как цифровой модулятор находится в ЦАП передатчика, то АЦП коррекции мощности может работать только для 32 битной длины SSI слова.

Все выходные сигналы формируются по фронту SSI_CLK, а входные сигналы фиксируются по срезу SSI_CLK.

Ниже приведена временная диаграмма сигналов на интерфейсе для 16 битного слова

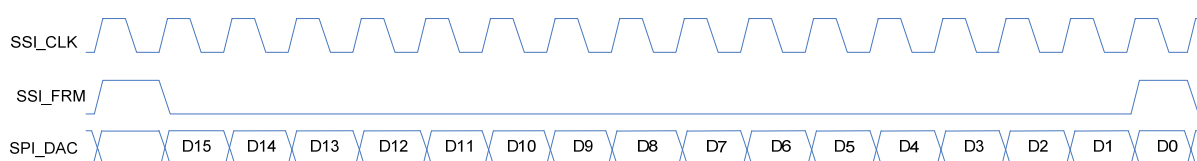


Рисунок 5 SSI интерфейс для 16 битного слова

Диаграмма для 32 битного слова такая же, как и для 16ти битного, за исключением длины слова.

Частоты SSI_CLK и SSI_FRM зависят от типа модуляции (SSICFG), а так же от коэффициента децимации (DECRAТ). Ниже приведены возможные способы модуляции и соответствующие им частоты

Использование $\pi/4$ -DQPSK модулятора

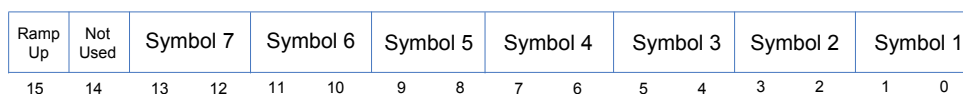


Рисунок 6 Модуляция $\pi/4$ -DQPSK с управляющим битом (SSICFG=000)

Использование $\pi/4$ -DQPSK модулятора, без управляющего бита

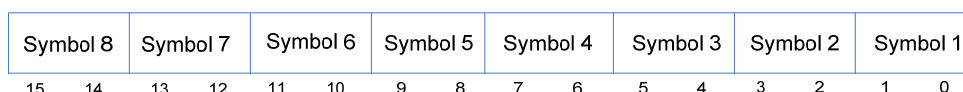


Рисунок 7 Модуляция $\pi/4$ -DQPSK без управляющего бита (SSICFG=001)

Символы передаются от младшего к старшему. Сначала передается символ 1, затем символ 2 и т.д.

	<i>π/4-DQPSK без управляющего бита</i>				<i>π/4-DQPSK с управляющим битом</i>			
<i>Коэффициент интерполяции</i>	128	256	512	1024	128	256	512	1024
<i>Частота SSI синхросигнала</i>	$\frac{MCLK}{512}$	$\frac{MCLK}{1024}$	$\frac{MCLK}{2048}$	$\frac{MCLK}{4096}$	$\frac{MCLK}{448}$	$\frac{MCLK}{896}$	$\frac{MCLK}{1792}$	$\frac{MCLK}{3584}$
<i>Частота отсчетов по SSI</i>	$\frac{MCLK}{8192}$	$\frac{MCLK}{16384}$	$\frac{MCLK}{32768}$	$\frac{MCLK}{65536}$	$\frac{MCLK}{7168}$	$\frac{MCLK}{14336}$	$\frac{MCLK}{28672}$	$\frac{MCLK}{57344}$

Использования формирователя constellation на 8 точек

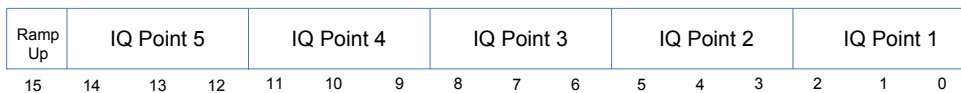


Рисунок 8 π/4-DQPSK constellation (SSICFG=010)

	<i>π/4-DQPSK constellation</i>			
<i>Коэффициент интерполяции</i>	128	256	512	1024
<i>Частота SSI синхросигнала</i>	$\frac{MCLK}{320}$	$\frac{MCLK}{640}$	$\frac{MCLK}{1280}$	$\frac{MCLK}{2560}$
<i>Частота отсчетов по SSI</i>	$\frac{MCLK}{5120}$	$\frac{MCLK}{10240}$	$\frac{MCLK}{20480}$	$\frac{MCLK}{40960}$

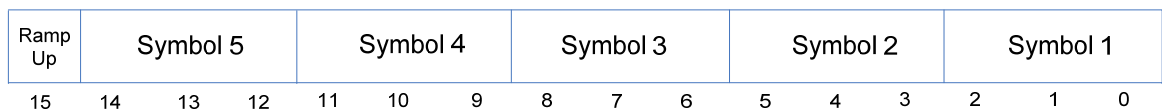


Рисунок 9 Модуляция π/8-D8QPSK с управляющим битом (SSICFG = 100)

Использование π/8-D8QPSK модулятора, без управляющего бита

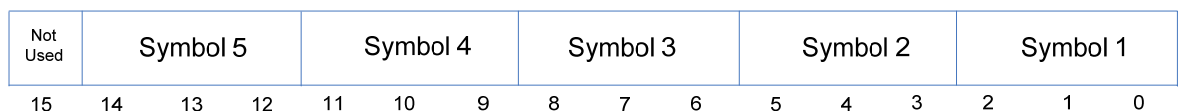


Рисунок 10 Модуляция π/8-D8QPSK без управляющего бита (SSICFG = 101)

Использование π/8-D8QPSK модулятора, без управляющего бита

	π/8-D8QPSK без управляющего бита				π/8-D8QPSK с управляющим битом			
Коэффициент интерполяции	128	256	512	1024	128	256	512	1024
Частота SSI синхросигнала	$\frac{MCLK}{320}$	$\frac{MCLK}{640}$	$\frac{MCLK}{1280}$	$\frac{MCLK}{2560}$	$\frac{MCLK}{320}$	$\frac{MCLK}{320}$	$\frac{MCLK}{1280}$	$\frac{MCLK}{2560}$
Частота отсчетов по SSI	$\frac{MCLK}{5120}$	$\frac{MCLK}{10240}$	$\frac{MCLK}{20480}$	$\frac{MCLK}{40960}$	$\frac{MCLK}{5120}$	$\frac{MCLK}{10240}$	$\frac{MCLK}{20480}$	$\frac{MCLK}{8192}$

Использования формирователя constellation на 16 точек

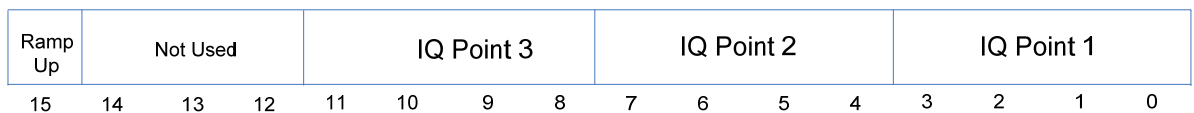


Рисунок 11 π/8-D8QPSK constellation (SSICFG=110)

	π/8-D8QPSK constellation			
Коэффициент интерполяции	128	256	512	1024
Частота SSI синхросигнала	$\frac{MCLK}{192}$	$\frac{MCLK}{384}$	$\frac{MCLK}{768}$	$\frac{MCLK}{1536}$
Частота отсчетов по SSI	$\frac{MCLK}{3072}$	$\frac{MCLK}{6144}$	$\frac{MCLK}{12288}$	$\frac{MCLK}{24576}$

Если не используется модулятор, то размер слова увеличивается в 2 раза и составляет 32 бита.

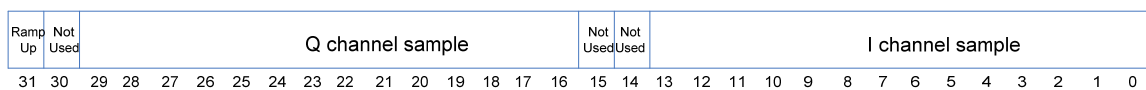


Рисунок 12 Формат слова без использования модулятора (SSICFG=111)

Коэффициент интерполяции	128	256	512	1024
Частота SSI синхросигнала	$\frac{MCLK}{32}$	$\frac{MCLK}{64}$	$\frac{MCLK}{128}$	$\frac{MCLK}{256}$
Частота отсчетов по SSI	$\frac{MCLK}{1024}$	$\frac{MCLK}{2048}$	$\frac{MCLK}{4096}$	$\frac{MCLK}{8192}$

Микросхема поддерживает режим, в котором данные подаются уже после LPF фильтра.

Коэффициент интерполяции	128	256	512	1024
Частота SSI синхросигнала	$\frac{MCLK}{4}$	$\frac{MCLK}{8}$	$\frac{MCLK}{16}$	$\frac{MCLK}{32}$
Частота отсчетов по SSI	$\frac{MCLK}{128}$	$\frac{MCLK}{256}$	$\frac{MCLK}{512}$	$\frac{MCLK}{1024}$

Передача данных

Микросхема поддерживает два вида фазовой манипуляции π/4-DQPSK и π/8-D8QPSK. В зависимости от вида модуляции сигнальное созвездие состоит из 8 или 16 точек с амплитудой 1 и расположены с интервалом 45° или 22.5° в единичном круге. Рабочий режим по умолчанию понижает частоту двоичных символов в сигнальном созвездии путем представления каждого символа как изменения фазы, в соответствии с расположением, где левый бит назначается первым битом символа и соответствует разряду 0, 2, 4, 6... или 0, 3, 6, 9... переданному по SSI интерфейсу.

Кодировка π/4-DQPSK модуляции

Таблица 4

Символ		Изменение фазы
Биты 0, 2, 4, 6...	Биты 1, 3, 5, 7...	
1	1	-135°
0	1	+135°
0	0	+45°
1	0	-45°

Кодировка π/8-D8QPSK модуляции

Таблица 5

Символ			Изменение фазы
Биты 0, 3, 6, 9...	Биты 1, 4, 7, 10...	Биты 2, 5, 8, 11...	
0	0	0	+22.5°
0	0	1	+67.5°
1	0	1	+112.5°
1	0	0	+157.5°
0	1	0	-22.5°
0	1	1	-67.5°
1	1	1	-112.5°
1	1	0	-157.5°

Частота следования отчетов по SSI интерфейсу зависит от вида модуляции (поле SSICFG в регистре 0x01), а так же от того присутствует ли в переданном слове управляющий бит.

Если выбран режим обхода модулятора, то положения точек на созвездии в фазовой модуляции, определяется 3х или 4х битным кодов в соответствии с таблицей ниже

Расположение точек созвездия для π/4-DQPSK модуляции

Таблица 6

Код	000	001	010	011	100	101	110	111
I	1	0.7071	0	-0.7071	-1	-0.7071	0	0.7071
Q	0	0.7071	1	0.7071	0	-0.7071	-1	-0.7071

Расположение точек созвездия для π/8-D8QPSK модуляции

Таблица 7

Код	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
I	1	0.9239	0.7071	0.3827	0	-0.3827	-0.7071	-0.9239	-1	-0.9239	-0.7071	-0.3827	0	0.3827	0.7071	0.9239
Q	0	0.3827	0.7071	0.9239	1	0.9239	0.7071	0.3827	0	-0.3827	-0.7071	-0.9239	-1	-0.9239	-0.7071	-0.3827

Если в слове присутствует управляющий бит, то старший бит в каждом фрейме (бит [15] для 16ти битного режима или бит [31] для 32х битного режима) управляет включением или отключением передачи. Если этот бит установлен в '0', то не зависимо от переданных значений выходной ЦАП будет отключен. После получения первого фрейма с установленным битом в зависимости от значения RAMPEN ([2] в регистре 0x02) амплитуда на выходе микросхемы достигнет номинального значения сразу (RAMPEN = 0), или по линейно возрастающему закону со скоростью определяющей величиной SP_RAMP. При получении первого фрейма со сброшенным старшим битом амплитуда на выходе спадет до нуля сразу (RAMPEN

= 0), или по линейно убывающему закону со скоростью определяющей величиной SP_RAMP. Если же в слове управляющий бит отсутствует, то включением или отключением ЦАП управляет только конфигурационный бит DACEN ([0] в регистре 0x02).

Настройка фазы счетчика символов

Для соответствия требованиям TETRA необходимо поддерживать фазовую погрешность между счетчиками символов передвижной станции (MS) и базовой станции (BS) на уровне, не превышающем 1/4 периода символа. В микросхеме предусмотрен механизм, обеспечивающий настройку фазы счетчика символов.

Данная настройка фазы достигается благодаря установке SYMADJ (биты [5:3] в регистре 0x02), которая будет настраивать фазу счетчика символов во время периода символа от -4/8 до +3/8. Предполагается, что пользователь устанавливает фазу счетчика символов BS после того, как восстановлена синхронизация полученных данных. Тогда с учетом фиксированной задержки линии Tx, фаза микросхемы может быть опережающей или запаздывающей в пределах установленной погрешности.

Режимы пониженного тока потребления

Микросхема имеет несколько режимов для обеспечения пониженного тока потребления.

В регистре 0x00 можно явно задать маскирование синхросигнала для каждого из блоков микросхемы. Если в конечной системе соответствующий блок не требуется, то следует выключить синхросигнал для него.

Бит SSIMD (бит [4] в регистре 0x01) позволяет отключить формирование выходного синхросигнала для SSI интерфейса.

Блок PLL позволяет автоматически регулировать токозадающие цепи (регистр 0x22).

Карта регистров управления микросхемы

Название регистра	Адрес	Поля регистра								Начальное значение
		7	6	5	4	3	2	1	0	
Конфигурационный регистр 1	0x00	AdcDacC	DigReset	AxAdcCEn	RxAdcCEn	TxDacCEn	DigDacCEn	DigAdcCEn	RegClkEn	00000000
Конфигурационный регистр 2	0x01	SSI_CLK_I	DECRAT	SSIMD	SSICFG			SPIMD	00000000	
Конфигурация ЦАП	0x02	RES_MOD	RRC_BYP	SYMADJ		RAMPEN	DECREN	DACEN	00000000	
Уровень I канала	0x03	I_DAC_LEVEL[7:0]								11111111
	0x04	I_DAC_LEVEL[11:8]								0111
Уровень Q канала	0x05	Q_DAC_LEVEL[7:0]								11111111
	0x06	Q_DAC_LEVEL[11:8]								0111
Смещение I канала	0x07	I_DAC_OFFSET[7:0]								00000000
	0x08	I_DAC_OFFSET[13:8]								000000
Смещение Q канала	0x09	Q_DAC_OFFSET[7:0]								00000000
	0x0A	Q_DAC_OFFSET[13:8]								000000
Фазовый сдвиг I канала	0x0B	I_DAC_PHASE[7:0]								00000000
	0x0C	I_DAC_PHASE[11:8]								0000
Фазовый сдвиг Q канала	0x0D	Q_DAC_PHASE[7:0]								00000000
	0x0E	Q_DAC_PHASE[11:8]								0000
Скорость ramp изменения сигнала	0x0F	SP_RAMP[7:0]								00000000
	0x10	SP_RAMP[8]								0
Адрес памяти коэффициентов	0x11	DAC_ADDRESS								0000000
Данные памяти коэффициентов	0x12	COEF_DATA[7:0]								00000000
	0x13	COEF_DATA[11:8]								0000
Управление аналоговыми блоками ЦАП	0x14						EN_REF	EN_Q	EN_I	000
Конфигурация АЦП коррекции мощности	0x15	ADC_LEVEL						IIR_FILT	ADCEN	10101000

Спецификация 1321ХД2У, К1321ХД2У

Название регистра	Адрес	Поля регистра								Начальное значение	
		7	6	5	4	3	2	1	0		
Управление аналоговыми блоками АЦП коррекции мощности	0x16							ENADC_REF	ENADC_Q	ENADC_I	000
Конфигурация дополнительного ЦАП	0x17									AXDAC_EN	0
Данные дополнительного ЦАП	0x18	AXDAC_DATA									00000000
Конфигурация дополнительного АЦП	0x19		CLKDIV			ADC_REF	ADC_BUSY	ADC_GO	AXADC_EN		0000000
Данные дополнительного АЦП	0x1A	AXADC_DATA[7:0]									00000000
	0x1B								AXADC_DATA[9:8]	00	
Коэффициент деления опорной частоты	0x1C	CLKR[7:0]									00000101
	0x1D			CLKR[13:8]							000000
Коэффициент деления частоты ГУН	0x1E	CLKN[7:0]									00001101
	0x1F				CLKN[12:8]						000000
Регистр 1 PLL	0x20				CKICP		CKI			000000	
Регистр 2 PLL	0x21		ENfref	ENvco	ENpll	EN	CKIVCO			1000111	
Регистр 3 PLL	0x22				Rdy	Auto_d3	-	-	Auto_d	01111	

Список регистров

Регистры общей конфигурации

КОНФИГУРАЦИОННЫЙ РЕГИСТР 1 (0x00)

7	6	5	4	3	2	1	0
AdcDacC	DigReset	AXAdcCEn	RXAdcCEn	TxDacCEn	DigDacCEn	DigAdcCEn	RegClkEn

Бит	Название	По умолчанию	Описание
0(R/W)	RegClkEn	0	Разрешение clk для регистрового файла и SSI интерфейса
1(R/W)	DigAdcCEn	0	Разрешение clk для цифровых фильтров АЦП коррекции мощности
2(R/W)	DigDacCEn	0	Разрешение clk для цифровых фильтров ЦАП передатчика
3(R/W)	TxDacCEn	0	Разрешение clk для аналоговых блоков ЦАП передатчика
4(R/W)	RxAdcCEn	0	Разрешение clk для аналоговых блоков АЦП коррекции мощности
5(R/W)	AxAdcCEn	0	Разрешение clk для аналоговых блоков дополнительного АЦП
6(R/W)	DigReset	0	Сброс всех цифровых блоков
7(R/W)	AdcDacC	0	Коммутация синхросигналов DAC передатчика и ADC коррекции мощности к общему синхросигналу 0 – синхросигналы формируются в цифровой части 1 – синхросигналы являются общим синхросигналом

КОНФИГУРАЦИОННЫЙ РЕГИСТР 2 (0x01)

7	6	5	4	3	2	1	0
SSI_CLK_I	DECRAT		SSIMD	SSICFG		SPIMD	

Бит	Название	По умолчанию	Описание
0(R/W)	SPIMD	0	Режим работы SPI 0 – 4 проводной режим 1 – 3 проводной режим
3:1(R/W)	SSICFG	000	Выбор схемы модуляции для SSI 000 – π/4-DQPSK модуляции с управляющим битом 001 – π/4-DQPSK модуляции без управляющего бита 010 – π/4-DQPSK constellation 011 – зарезервировано 100 – π/8-D8QPSK модуляции с управляющим битом 101 – π/8-D8QPSK модуляции без управляющего бита 110 – π/8-D8QPSK constellation 111 – цифровой модулятор не работает
4(R/W)	SSIMD	0	Режим работы SSI 0 – выходной clk формируется только в случае если или АЦП или ЦАП работает 1 – выходной clk формируется постоянно
6:5(R/W)	DECRAT	00	Коэффициент децимации 00 – 128 01 – 256 10 – 512 11 - 1024
7	SSI_CLK_I	0	Инвертирование SSI_CLK (1 – инверсия)

Регистры конфигурации ЦАП передатчика

Конфигурация ЦАП (0x02)

7	6	5	4	3	2	1	0
RES_MOD	RRC_BYР	SYMADJ			RAMPEN	DACREN	DACEN

Бит	Название	По умолчанию	Описание
0(R/W)	DACEN	0	Разрешение работы ЦАП 1 – ЦАП включен
1(R)	DACREN	0	Фактическое состояние работы ЦАП. Этот бит доступен только для чтения
2(R/W)	RAMPEN	0	Режим постепенного усиления/ослабления сигнала 1 – режим включен
5:3(R/W)	SYMADJ	000	Фазовый сдвиг каналов 000 – нет сдвига 001 – запаздывание на 1/8 символа 010 – запаздывание на 1/4 символа 011 – запаздывание на 3/8 символа 100 – опережение на 1/2 символа 101 – опережение на 3/8 символа 110 – опережение на 1/4 символа 111 – опережение на 1/8 символа
6(R/W)	RRC_BYР	0	Обход RRC и LPF фильтров 1 – обход фильтров
7(R/W)	RES_MOD	0	Сброс модулятора при переполнении 1 – разрешение сброса при переполнении

УРОВЕНЬ I КАНАЛА (0x03, 0x04)

0x03

7	6	5	4	3	2	1	0
I_DAC_LEVEL[7:0]							

0x04

7	6	5	4	3	2	1	0
NA	NA	NA	NA	I_DAC_LEVEL[11:8]			

Бит	Название	По умолчанию	Описание
11:0(R/W)	I_DAC_LEVEL	011111111111	Коэффициент ослабления I канала

Величина, записанная в этот регистр управляет усилением канала в соответствии с формулой:

$$D_{out} = D_{in} * \left[\frac{I_DAC_LEVEL}{2^{11}} \right],$$

где D_{out} - знаковый выход;

D_{in} - знаковый вход.

Значение этого регистра представлено в формате с дополнением до 2, позволяя инвертировать сигнал.

УРОВЕНЬ Q КАНАЛА (0x05, 0x06)

0x05

7	6	5	4	3	2	1	0
Q_DAC_LEVEL[7:0]							

0x06

7	6	5	4	3	2	1	0
NA	NA	NA	NA	Q_DAC_LEVEL[11:8]			

Бит	Название	По умолчанию	Описание
11:0(R/W)	Q_DAC_LEVEL	011111111111	Коэффициент ослабления Q канала

Величина, записанная в этот регистр, управляет усилением канала в соответствии с формулой:

$$D_{out} = D_{in} * \left[\frac{Q_DAC_LEVEL}{2^{11}} \right],$$

где D_{out} - знаковый выход;

D_{in} - знаковый вход.

Значение этого регистра представлено в формате с дополнением до 2, позволяя инвертировать сигнал.

СМЕЩЕНИЕ I КАНАЛА (0x07, 0x08)

0x07

7	6	5	4	3	2	1	0
I_DAC_OFFSET[7:0]							

0x08

7	6	5	4	3	2	1	0
NA	NA	I_DAC_OFFSET[13:8]					

Бит	Название	По умолчанию	Описание
13:0(R/W)	I_DAC_OFFSET	00000000000000	Смещение I канала

Величина, записанная в этот регистр, управляет смещением сигнала в канале в соответствии с формулой:

$$D_{out} = D_{in} + \left[\frac{I_DAC_OFFSET}{2^{13}} \right],$$

где D_{out} - знаковый выход;

D_{in} - знаковый вход.

Значение этого регистра представлено в формате с дополнением до 2. Неправильное задание величины может привести к ограничению сигнала.

СМЕЩЕНИЕ Q КАНАЛА (0x09, 0x0A)

0x09

7	6	5	4	3	2	1	0
Q_DAC_OFFSET[7:0]							

0x0A

7	6	5	4	3	2	1	0
NA	NA	Q_DAC_OFFSET[13:8]					

Бит	Название	По умолчанию	Описание
13:0(R/W)	Q_DAC_OFFSET	00000000000000	Смещение Q канала

Величина, записанная в этот регистр, управляет смещением сигнала в канале в соответствии с формулой:

$$D_{out} = D_{in} + \left[\frac{Q_DAC_OFFSET}{2^{13}} \right],$$

где D_{out} - знаковый выход;

D_{in} - знаковый вход.

Значение этого регистра представлено в формате с дополнением до 2. Неправильное задание величины может привести к ограничению сигнала.

ФАЗОВЫЙ СДВИГ I КАНАЛА (0x0B, 0x0C)

0x0B

7	6	5	4	3	2	1	0
I_DAC_PHASE[7:0]							

0x0C

7	6	5	4	3	2	1	0
NA	NA	NA	NA	I_DAC_PHASE[11:8]			

Бит	Название	По умолчанию	Описание
11:0(R/W)	I_DAC_PHASE	000000000000	Коэффициент фазового сдвига I канала

Величина, записанная в этот регистр, управляет амплитудой канала Q, который добавляется к каналу I в соответствии с формулой:

$$I_{out} = I_{in} + Q_{in} * \left[\frac{I_DAC_PHASE}{2^{11}} \right],$$

I_{out} - выход I канала

I_{in} - вход I канала

Q_{in} - вход Q канала

Этот параметр управляет сдвигом фазы на значение

$$\varphi = \tan^{-1} \left[\frac{I_DAC_PHASE}{2^{11}} \right].$$

ФАЗОВЫЙ СДВИГ Q КАНАЛА (0x0D, 0x0E)

0x0D

7	6	5	4	3	2	1	0
Q_DAC_PHASE[7:0]							

0x0E

7	6	5	4	3	2	1	0
NA	NA	NA	NA	Q_DAC_PHASE[11:8]			

Бит	Название	По умолчанию	Описание
11:0(R/W)	Q_DAC_PHASE	000000000000	Коэффициент фазового сдвига Q канала

Величина, записанная в этот регистр, управляет амплитудой канала I, который добавляется к каналу Q в соответствии с формулой:

$$Q_{out} = Q_{in} + I_{in} * \left[\frac{Q_DAC_PHASE}{2^{11}} \right],$$

Q_{out} - выход Q канала

Q_{in} - вход Q канала

I_{in} - вход I канала

Этот параметр управляет сдвигом фазы на значение

$$\varphi = \tan^{-1} \left[\frac{Q_DAC_PHASE}{2^{11}} \right].$$

СКОРОСТЬ ИЗМЕНЕНИЯ СИГНАЛА В RAMP (0x0F, 0x10)

0x0F

7	6	5	4	3	2	1	0
SP_RAMP[7:0]							

0x10

7	6	5	4	3	2	1	0
NA	NA	NA	NA	NA	NA	NA	SP_RAMP[8]

Бит	Название	По умолчанию	Описание
8:0(R/W)	SP_RAMP	000000000	Скорость изменения сигнала при ramp

Величина, записанная в этот регистр, управляет скоростью нарастания или убывания сигнала при включении или выключении ЦАП. Время установки сигнала в номинальное значение (или убывание до полного обнуления выхода) можно рассчитать по следующей формуле:

$$T_{stable} = T_{sym} * \left[\frac{2^{14}}{SP_RAMP + 1} \right],$$

где T_{sym} - период символа.

АДРЕС ПАМЯТИ КОЭФФИЦИЕНТОВ (0x11)

0x0F

7	6	5	4	3	2	1	0
NA	DAC_ADDRESS[6:0]						

Бит	Название	По умолчанию	Описание
6:0(R/W)	DAC_ADDRESS	0000000	Адрес для доступа к памяти коэффициентов

ДАННЫЕ ДЛЯ ПАМЯТИ КОЭФФИЦИЕНТОВ (0x12, 0x13)

0x12

7	6	5	4	3	2	1	0
COEF_DATA[7:0]							

0x13

7	6	5	4	3	2	1	0
NA	NA	NA	NA	COEF_DATA[11:8]			

Бит	Название	По умолчанию	Описание
11:0(R/W)	COEF_DATA	000000000000	Данные для памяти коэффициентов

УПРАВЛЕНИЕ АНАЛОГОВЫМИ БЛОКАМИ ЦАП (0x14)

7	6	5	4	3	2	1	0
NA	NA	NA	NA	NA	EN_REF	EN_Q	EN_I

Бит	Название	По умолчанию	Описание
0(R/W)	EN_I	0	Включение аналогового тракта I канала 1 – канал включен
1(R/W)	EN_Q	0	Включение аналогового тракта Q канала 1 – канал включен
2(R/W)	EN_REF	0	Включение смещения аналогового тракта 1 – смещение включено
3(R/W)	REF_SW	0	Выбор источника для синфазного уровня ЦАП 0 – внешнее задание через вход TXREF 1 – внутреннее формирование (1.5В)

Регистры конфигурации АЦП коррекции мощности

Конфигурация АЦП коррекции мощности (0x15)

7	6	5	4	3	2	1	0
ADC_LEVEL[5:0]						IIR_FILT	ADCEN

Бит	Название	По умолчанию	Описание
0(R/W)	ADCEN*	0	Разрешение работы АЦП 1 – АЦП включен
1(R/W)	IIR_FILE	0	Включение IIR децемирующего фильтра 1 – IIR фильтр включен
7:2(R/W)	ADC_LEVEL	101010	Коэффициент усиления АЦП, шаг 1дБ 111111 – выключено 111110 - +20дБ 111101 - +19дБ 101010 – 0дБ 101001 - -1дБ 101001 - -2дБ 101000 - -3дБ ... 000000 - -42дБ

** Для исключения утечек по входам АЦП, все 4 входа (IRXN, IRXP, QRXN, QRXP) должны быть подтянуты к земле или остаться неподключенными. Все эти входы имеют входной импеданс 25к на землю в выключенном состоянии. В рабочем это сопротивление на 1.5В.*

УПРАВЛЕНИЕ АНАЛОГОВЫМИ БЛОКАМИ АЦП КОРРЕКЦИИ МОЩНОСТИ (0x16)

7	6	5	4	3	2	1	0
NA	NA	NA	NA	NA	ENADC_REF	ENADC_Q	ENADC_I

Бит	Название	По умолчанию	Описание
0(R/W)	ENADC_I	0	Включение аналогового тракта I канала 1 – канал включен
1(R/W)	ENADC_Q	0	Включение аналогового тракта Q канала 1 – канал включен
2(R/W)	ENADC_REF	0	Включение смещения аналогового тракта 1 – смещение включено
3(R/W)	ADC_I_RES	0	Управление сбросом I канала 1 – сброс
4(R/W)	ADC_Q_RES	0	Управление сбросом Q канала 1 – сброс

Регистры конфигурации дополнительного ЦАП

Конфигурация дополнительного ЦАП (0x17)

7	6	5	4	3	2	1	0
NA	NA	NA	NA	NA	NA	NA	AXDAC_EN

Бит	Название	По умолчанию	Описание
0(R/W)	AXDAC_EN	0	Разрешение работы дополнительного ЦАП 1 – ЦАП включен

ДАННЫЕ ДОПОЛНИТЕЛЬНОГО ЦАП (0x18)

7	6	5	4	3	2	1	0
AXDAC_DATA							

Бит	Название	По умолчанию	Описание
7:0(R/W)	AXDAC_DATA	00000000	Данные для ЦАП

Регистры конфигурации дополнительного АЦП

КОНФИГУРАЦИЯ ДОПОЛНИТЕЛЬНОГО АЦП (0x19)

7	6	5	4	3	2	1	0
NA	CLKDIV			ADC_REF	ADC_BUSY	ADC_GO	AXADC_EN

Бит	Название	По умолчанию	Описание
0(R/W)	AXADC_EN	0	Разрешение работы дополнительного АЦП 1 – АЦП включен
1(R/W)	ADC_GO*	0	Запуск преобразования 1 – начать оцифровку
2(R)	ADC_BUSY	0	Статус преобразования 1 – преобразование в процессе 0 – данные после преобразования готовы
3(R/W)	ADC_REF	0	Выбор опорного напряжения 0 – внутреннее опорное напряжение (питание-земля) 1 – внешнее опорное напряжение
6:4(R/W)	CLKDIV	000	Коэффициент деления частоты для АЦП 000 – деление на 2 001 – деление на 4 010 – деление на 8 011 – деление на 16 100 – деление на 32

			101 – деление на 64 110 – деление на 128 111 – деление на 256
--	--	--	---

Для вычисления нового отчета в АЦП необходимо провести следующую процедуру (после включения блока)

- сбросить если установлен до этого бит ADC_GO
- установить бит ADC_GO, эти запускается начало преобразования
- после начала преобразование выставляется бит ADC_BUSY и остается установленным все время преобразования
- после того как преобразование закончено, бит ADC_BUSY сбрасывается. Поэтому проверкой этого бита нужно дождаться сброса этого бита
- прочитать результирующие данные из регистров 0x1A и 0x1B

Время преобразования занимает 29-30 тактов сформированной частоты АЦП.

ДАННЫЕ ДОПОЛНИТЕЛЬНОГО АЦП (0x1A, 0x1B)

0x1A

7	6	5	4	3	2	1	0
AXADC_DATA[7:0]							

0x1B

7	6	5	4	3	2	1	0
NA	NA	NA	NA	NA	NA	AXADC_DATA[9:8]	

Бит	Название	По умолчанию	Описание
9:0(R)	AXADC_DATA	0000000000	Данные после АЦП

Регистры конфигурации PLL

КОЭФФИЦИЕНТ ДЕЛЕНИЯ ОПОРНОЙ ЧАСТОТЫ (0x1C, 0x1D)

0x1C

7	6	5	4	3	2	1	0
CLKR[7:0]							

0x1D

7	6	5	4	3	2	1	0
NA	NA	CLKR[13:8]					

Бит	Название	По умолчанию	Описание
13:0(R/W)	CLKR	0000000000101	Коэффициент деления опорной частоты

КОЭФФИЦИЕНТ ДЕЛЕНИЯ ЧАСТОТЫ ГУН (0x1E, 0x1F)

0x1E

7	6	5	4	3	2	1	0
CLKN[7:0]							

0x1F

7	6	5	4	3	2	1	0
NA	NA	NA	CLKN[12:8]				

Бит	Название	По умолчанию	Описание
12:0(R/W)	CLKN	000000001101	Коэффициент деления частоты ГУН

КОНФИГУРАЦИОННЫЙ РЕГИСТР 1 PLL (0x20)

7	6	5	4	3	2	1	0
NA	NA	СКІСР			СКІ		

Бит	Название	По умолчанию	Описание
3:0(R/W)	СКІ	0000	Увеличение опорного тока ChargePump, Iop 0000 – 11 мкА 0001 – 33 мкА 0010 – 55 мкА 0011 – 78 мкА 0100 – мкА 0101 – 100 мкА 0110 – 122 мкА 0111 – 144 мкА 1000 – 167 мкА 1001 – 190 мкА 1010 – 212 мкА 1011 – 234 мкА 1100 – 234 мкА 1101 – 256 мкА 1110 – 279 мкА 1111 – 300 мкА
5:4(R/W)	СКІСР	00	Увеличение выходного тока ChargePump 00 – номинальный ток 01 – +155мкА 10 – +155мкА 11 – +310мкА

КОНФИГУРАЦИОННЫЙ РЕГИСТР 2 PLL (0x21)

7	6	5	4	3	2	1	0
NA	ENfref	ENvco	ENpll	EN	СКIVCO		

Бит	Название	По умолчанию	Описание
2:0		-	Зарезервированы
3(R/W)	EN	0	Полное выключение синтезатора 0 – выключен
4(R/W)	ENpll	0	Выключение блока ФАПЧ. При этом выходной буфер работает для подачи внешней частоты 0 – выключен
5(R/W)	ENvco	0	Выключение блока VCO для использования внешнего VCO 0 – выключен
6(R/W)	ENfref	1	Обход внутреннего PLL 1 – внутренняя частота – опорная частота 0 – внутренняя частота – выход PLL

КОНФИГУРАЦИОННЫЙ РЕГИСТР 3 PLL (0x22)

7	6	5	4	3	2	1	0
NA	NA	NA	Rdy	Auto_d3	Auto_d2	Auto_d1	Auto_d

Бит	Название	По умолчанию	Описание
0(R/W)	Auto_d	1	Автоматическая регулировка опорного тока VCO 1 - выключена
1	-	-	Зарезервирован
2	-	-	Зарезервирован
3(R/W)	Auto_d3	1	Автоматическое детектирование разности частот для автоматического регулирования выходного тока ChargePump 1 - выключено
4(R)	Rdy		Сигнал готовности частоты 1 – частота синтезирована

Тестовые режимы для микросхемы

Для проверки аналоговых блоков микросхемы поддерживает 5 режима. В этих режимах сигналы цифровые сигналы блоков коммутируются на внешние площадки. Перевод микросхемы в соответствующий режим осуществляется с помощью JTAG команды. Список JTAG команд приведен в таблице ниже.

Таблица 8

Команда	Адрес	Описание
BYPASS	1111	Стандартная команда
EXTEST	0000	Стандартная команда
SAMPLE	0001	Стандартная команда
PRELOAD	0110	Стандартная команда
IDCODE	0010	Чтение ID Code. 0000_0000_1100_0000_0000_111_1110_1111_1
RUN_MBIST	0011	Стандартная команда для MBIST
DIAGNOSE_MBIST	0100	Стандартная команда для MBIST
CONTINUE_MBIST	0101	Стандартная команда для MBIST
DIAGNOSE_ROMNIST	0111	Стандартная команда для MBIST
TSTMODE	1000	Перевод процессора в тестовый режим. Все регистры соединены в DFT цепочки
TSTDACI	1001	Тестирование канала I ЦАП передатчика. Коммутация сигналов следующая: DI[0]->SSI_CLK DI[1]->SSI_FRM DI[2]->SSI_DAC DI[3]->SSI_ADC DI[4]->SPI_CS DI[5]->SPI_CLK DI[6]->SPI_DIO DI[7]->SPI_DO
TSTDACQ	1010	Тестирование канала Q ЦАП передатчика. Коммутация сигналов следующая: DQ[0]->SSI_CLK DQ[1]->SSI_FRM DQ[2]->SSI_DAC DQ[3]->SSI_ADC DQ[4]->SPI_CS DQ[5]->SPI_CLK DQ[6]->SPI_DIO DQ[7]->SPI_DO
TSTADCI	1011	Тестирование I канала АЦП коррекции мощности.

Команда	Адрес	Описание
		Коммутация сигналов следующая: DST1_I[0]->SSI_CLK DST1_I[1]->SSI_FRM DST1_I[2]->SSI_DAC DST2_I[0]->SSI_ADC DST2_I[1]->SPI_DIO DST2_I[2]->SPI_DO
TSTADCQ	1100	Тестирование Q канала АЦП коррекции мощности. Коммутация сигналов следующая: DST1_Q[0]->SSI_CLK DST1_Q[1]->SSI_FRM DST1_Q[2]->SSI_DAC DST2_Q[0]->SSI_ADC DST2_Q[1]->SPI_DIO DST2_Q[2]->SPI_DO
TSTPLL	1101	Тестирование PLL. Конфигурация через SPI. Коммутация сигналов следующая: CLK_OUT->SSI_CLK CLK_DIFF->SSI_ADC CLK_READY->SSI_DAC

Предельно допустимые характеристики микросхемы

Таблица 9

№ п/п	Наименование параметра	Обозначение параметра	Предельно-допустимый режим		Предельный режим		Ед-цы измер
			не менее	не более	не менее	не более	
1	Напряжение источника питания на аналоговых выводах	U_{CC}	3,0	3,6	–	4,0	В
2	Напряжение источника питания на цифровых выводах	U_{CC1}	1,62	1,98	–	2,5	В
3	Напряжение опорного источника	U_{REF}	0,6	2,5	0	U_{CC}	В
4	Входное напряжение высокого уровня	U_{IH}	$0,8 \cdot U_{CC}$	U_{CC}	–	$U_{CC} + 0,3$	В
5	Входное напряжение низкого уровня	U_{IL}	0	$0,2 \cdot U_{CC}$	минус 0,3	–	В
6	Дифференциальное входное напряжение АЦП корректирующего канала, (синусоидальный канал 4,5 кГц пик-пик)	$\Delta U_{I(MAX)ADC}$	–	2	–	–	В
7	Разница напряжений между опорными уровнями 22, 23	ΔU_{AXREF}	2,5	3,6	–	–	В
8	Входное напряжение АЦП вспомогательного канала	$U_{I(MAX)AXADC}$	–	U_{AXREF}	–	–	В
9	Выходной ток	I_{OH} I_{OL}	минус 2	2	минус 8	8	мА
10	Частота опорного сигнала	f_{REF}	1	26	–	–	МГц
11	Скорость обмена информации по каналу SPI	f_{DR_SPI}	–	1	–	–	Мбит/с
12	Скорость обмена информации по каналу SSI	f_{DR_SSI}	–	10	–	–	Мбит/с
13	Частота дискретизации ЦАП I Q каналов	f_{FSDAC}	–	36	–	–	кГц
14	Полоса выходного I, Q сигналов*	f_{HBDAC}	6,25	25	–	–	кГц
15	Частота дискретизации АЦП корректирующего канала	F_{FSADC}	–	36	–	–	кГц
16	Длительность периода преобразования АЦП	T_{ADC}	10	–	–	–	мс

№ п/п	Наименование параметра	Обозначение параметра	Предельно-допустимый режим		Предельный режим		Ед-цы измер
			не менее	не более	не менее	не более	
17	Сопротивление нагрузки I Q каналов	R_{L_DAC}	10	–	–	–	кОм
18	Емкость нагрузки на цифровых выходах	C_L	–	10	–	–	пФ
19	Емкость нагрузки I Q каналов	C_{L_DAC}	–	20	–	–	пФ
<p>Примечание – Не допускается одновременное задание двух предельных режимов.</p>							

Электрические параметры микросхемы

Таблица 10

№ п/п	Наименование параметра	Обозначение параметра	Условия измерения	Норма параметра		Ед-цы измер
				Мин.	Макс.	
1	Выходное напряжение низкого уровня	U_{OL}		–	$0,1 \cdot U_{CC}$	В
2	Выходное напряжение высокого уровня	U_{OH}		$0,9 \cdot U_{CC}$	–	В
3	Максимальный размах выходного напряжения ЦАП	$\Delta U_{OI(max)}$ $U_{OQ(max)}$		1,7	2,3	В
4	Разница коэффициентов усиления I Q каналов,	ΔU_{IQ}		минус 0,4	0,4	дБ
5	Динамический ток потребления	I_{OCC}	$f_{REF} = 26$ МГц	–	40	мА
6	Статический ток потребления в состоянии «Выключено»	I_{CCZ}		–	25	мкА
7	Входной ток высокого уровня	I_{IH}	на выводах: 1, 2, 4, 43, 46, 48	минус 1	1	мкА
8	Входной ток низкого уровня	I_{IL}	на выводах: 1, 2, 4, 43, 48	минус 1	1	мкА
			на выводах: 46	минус 100	минус 20	
9	Отношение сигнал/шум	N_{NDACI} , N_{NDACQ}		45	–	дБ
АЦП корректирующего канала						
10	Отношение сигнал/шум	N_{NADC1} , N_{NADCQ1}		72	–	дБ
11	Интегральная нелинейность АЦП	E_{ILADC1} , $E_{ILADCQ1}$	$U_{CC} = 3,0$ В	минус 3	3	единица. младшего разряда
12	Дифференциальная нелинейность АЦП	E_{DLADC1} , $E_{DLADCQ1}$	$U_{CC} = 3,0$ В	минус 1	1	единица. младшего разряда
Вспомогательные АЦП и ЦАП						
13	Диапазон выходного напряжения ЦАП	ΔU_{ODAC}		0	U_{REF}	В
14	Разрешающая способность разрядов ЦАП	E_{NDAC2}		–	8	бит
15	Интегральная нелинейность ЦАП	E_{ILDAC2}	$U_{CC} = 3,0$ В	минус 3	3	единица. младшего разряда
16	Дифференциальная нелинейность ЦАП	E_{DLDAC2}	$U_{CC} = 3,0$ В	минус 1	1	единица. младшего разряда

№ п/п	Наименование параметра	Обозначение параметра	Условия измерения	Норма параметра		Ед-цы измер
				Мин.	Макс.	
17	Ошибка смещения ЦАП	$E_{OFFDAC2}$		–	60	мВ
18	Разрешающая способность разрядов АЦП	E_{NADC2}		10	–	бит
19	Интегральная нелинейность АЦП	E_{ILADC2}	$U_{CC} = 3,0 В$	минус 3	3	единица младшего разряда
20	Дифференциальная нелинейность АЦП	E_{DLADC2}	$U_{CC} = 3,0 В$	минус 1	1	единица младшего разряда
21	Ошибка смещения АЦП	$E_{OFFADC2}$		минус 4	4	единица младшего разряда
22	Время установки данных на выходе с точностью $\pm 0,5LSB$	t_{SU}		–	10	мкс

Справочные данные

Таблица 11

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Единицы измерения
		не менее	не более	
Полоса пропускания АЦП корректирующего канала,	BW_{ADC}	–	18	кГц
Размах шума на выходе вспомогательного ЦАП,	$U_{N(max)}$	–	5	мВ
Ошибка усиления ЦАП,	E_{GAIN_DAC}	–	30	мВ
Ошибка усиления вспомогательного АЦП,	E_{GAIN_ADC}	минус 4	4	единица младшего разряда
Выходное сопротивление вспомогательного ЦАП,	R_{ODAC}	–	1	кОм
Коэффициент гармоник ЦАП,	K_{HDAC}	–	52	дБ
Разрешающая способность ЦАП	N_{RESDAC}	–	14	бит

Габаритный чертеж микросхемы

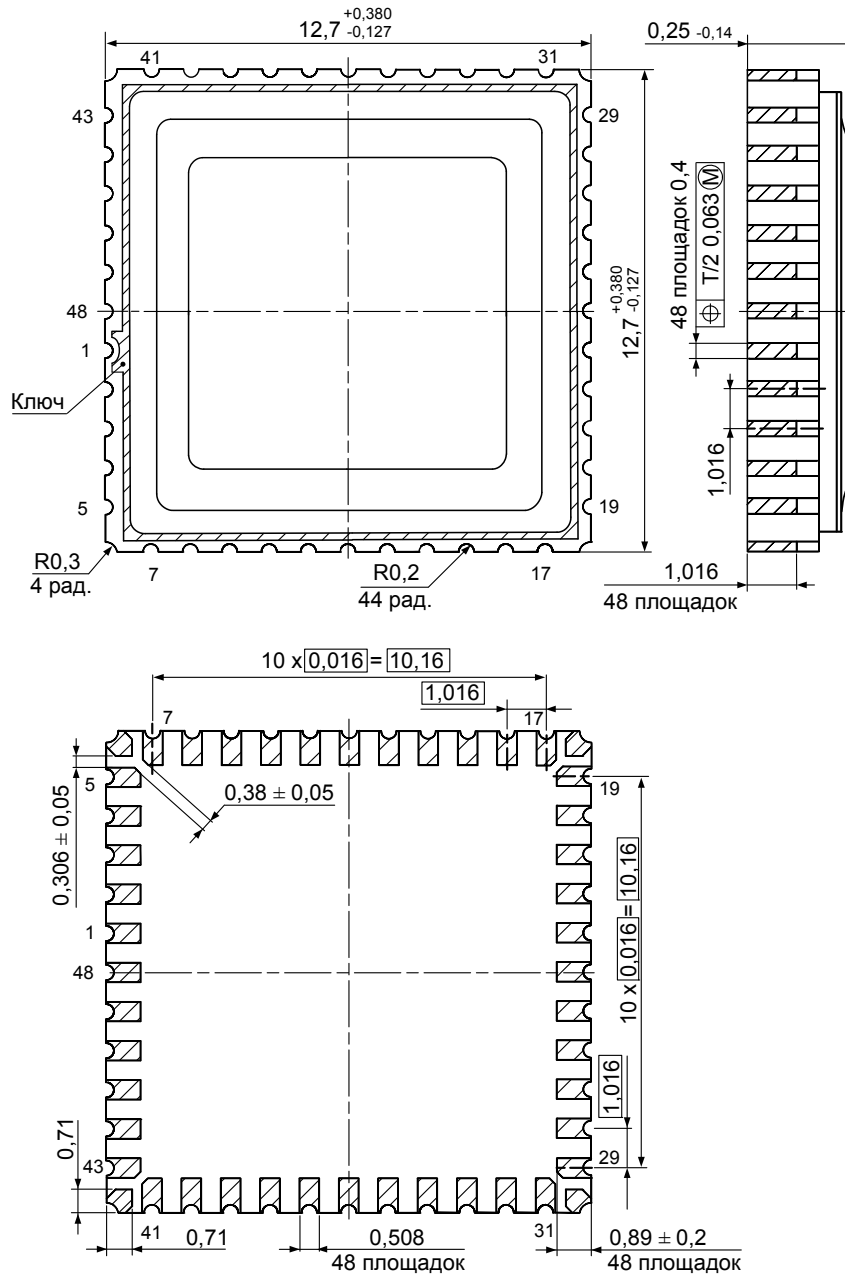


Рисунок 13 - Корпус 5142.48-А

Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1321ХД2У	1321ХД2У	5142.48-А	минус 60 – 85 °С
К1321ХД2У	К1321ХД2У	5142.48-А	минус 60 – 85 °С
К1321ХД2УК	К1321ХД2У ●	5142.48-А	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	17.03.2011	1.0	-	
2	28.04.2011	1.1	Уточнение раздела «Описание функционирования микросхемы»	По тексту
3	05.12.2011	1.2	Устранение ошибок	1, 12
4	15.02.2012	1.3.0	Устранение ошибки нумерации выводов	5, 6