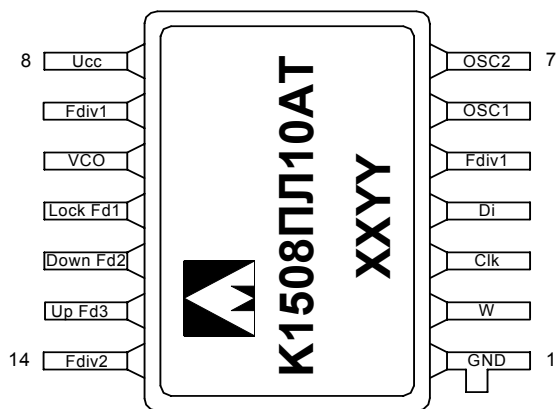


**Микросхема синтезатора частоты на основе схемы ФАПЧ**



**Основные характеристики микросхемы:**

- Напряжение питания от 4,5 В до 5,5 В
- Диапазон рабочих частот 10МГц-1400МГц
- Диапазон опорных частот до 50 МГц
- Коэффициент деления входной частоты:
  - для 1508ПЛ10АТ от 240 до 65535
  - для 1508ПЛ10БТ от 240 до 1048575
- Коэффициент деления опорной частоты:
  - для 1508ПЛ10АТ 100,200,400,500,800,1000,1600
  - для 1508ПЛ10БТ 10, 50, 100, 200, 20, 40, 80, 160, 320, 640, 500, 1000, 2000, 400, 800, 1600, 125, 625, 1250, 2500, 250
- Температурный диапазон:

XX – неделя выпуска  
YY – год выпуска

Обозначение	Диапазон
1508ПЛ10А(Б)Т	минус 60...125 °С
К1508ПЛ10А(Б)Т	минус 60...85 °С
К1508ПЛ10В(Г)Т	0...85 °С

**Примечание.** Микросхема К1508ПЛ10ВТ является полным аналогом К1508ПЛ10АТ с другим температурным диапазоном. Соответственно К1508ПЛ10ГТ аналогом К1508ПЛ10БТ.

**Тип корпуса:**

- 14 выводной металлокерамический корпус 401.14-5

**Общее описание и области применения микросхемы**

Микросхема состоит из ниже перечисленных блоков:

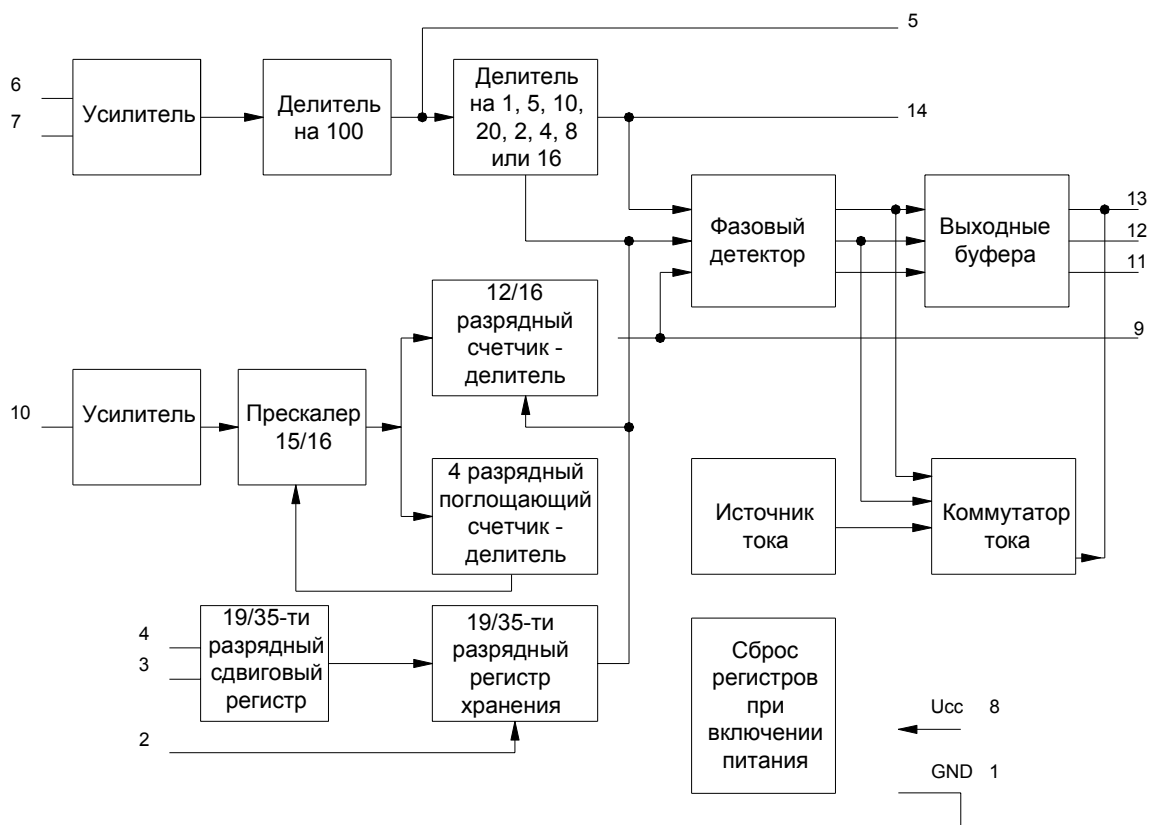
- Прескалер (предделитель)
- Поглощающий счетчик
- Основной делитель
- Делитель опорной частоты
- Фазовый детектор
- Усилитель входной частоты
- Источник тока
- Сдвиговый регистр

**Описание выводов**

**Таблица 1**

Вывод	Условное обозначение	Описание
1	GND	Общий
2	W	Запись данных из сдвигового регистра в регистр хранения
3	Clk	Сигнал синхронизации ввода данных в сдвиговый регистр
4	Di	Ввод данных в сдвиговый регистр
5	Fdiv1	Выход делителя на 100 опорного канала
6	OSC1	Вход кварцевого генератора
7	OSC2	Выход кварцевого генератора
8	Ucc	Напряжение питания
9	Fdiv3	Вход\Выход делителя основной частоты
10	VCO	Вход усилителя основной частоты
11	Lock Fd1	Выход фазового детектора
12	Down Fd2	Выход фазового детектора
13	Up Fd3	Выход фазового детектора
14	Fdiv2	Вход\Выход делителя опорного канала

**Структурная блок-схема микросхемы**



**Рисунок 1. Структурная блок-схема**

**Примечание**

Все элементы схемы имеют электрическую связь с соответствующими контактными площадками

## Описание функционирования микросхемы

Описание работы микросхемы.

При использовании микросхемы в синтезаторе частоты с фазовой автоподстройкой, частота управляемого генератора определяется по формуле:

$$f = f_{REF} \cdot K / K_{REF}$$

где:  $f$  - частота основного сигнала;  
 $f_{REF}$  - частота опорного сигнала;  
 $K$  - коэффициент деления основной частоты;  
 $K_{REF}$  - коэффициент деления опорной частоты.

Микросхемы 1508ПЛ10АТ и 1508ПЛ10БТ предусматривают 3 способа задания опорного сигнала:

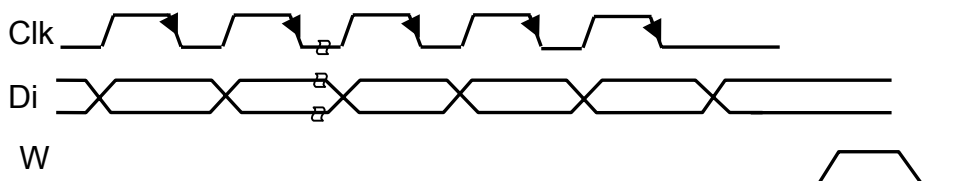
- с генератора синусоидального сигнала амплитудой не менее 150 мВ (среднеквадратичное значение) через разделительный конденсатор 1нФ на вход OSC1. Выход OSC2 висит в воздухе.
- с генератора цифровых сигналов напрямую на вход OSC1. Выход OSC2 висит в воздухе.
- с помощью внешнего кварцевого резонатора, который подключается к выводам OSC1 и OSC2, при этом не требуется дополнительных конденсаторов на землю. Рабочая частота кварцевого резонатора должна быть в пределах от 1 МГц до 20 МГц.

### Описание микросхемы 1508ПЛ10АТ

Коэффициент деления опорной частоты  $f_{REF}$  по входу OSC1 (6) задается через управляющее слово на входе Di (4) согласно таблице 4 (биты  $K_{REF2}$ ,  $K_{REF1}$ ,  $K_{REF0}$ ). Коэффициент деления входной частоты по входу VCO (10) задается через управляющее слово на входе Di (4) биты 1-16. Распределения управляющих битов дано в таблице 2.

Загрузка данных производится с помощью 19 разрядного слова. Загрузка начинается со старшего разряда коэффициента деления опорной частоты ( $K_{REF2}$ ) и заканчивается младшим разрядом коэффициента деления основной частоты  $K_0$ . Ввод каждого разряда сопровождается тактовым импульсом по входу Clk. Загрузка данных в регистре происходит по отрицательному фронту сигнала синхронизации. После окончания загрузки 19 разряда ввод управляющего кода производится по поступлению на вход W микросхемы импульса записи данных в регистр хранения. При этом количество тактовых импульсов по входу Clk может быть больше 19, но значимыми разрядами будут последние 19. В данном режиме работы используется 16 разрядов ДПКД основного канала.

При выставленном сигнале  $W=1$  регистр загрузки открыт, загрузка данных в регистр происходит по наличию тактовых импульсов по входу Clk. Временная диаграмма загрузки данных в микросхему приведена на рисунке 2.



**Рисунок 2** Временная диаграмма загрузки данных в микросхему.

## Описание выводов микросхемы 1508ПЛ10АТ.

Вывод Fdiv1 используется как выход делителя опорной частоты с постоянным коэффициентом деления равным 100.

Вывод Fdiv2 используется как выход делителя опорной частоты с заданным в управляющем регистре коэффициентом деления.

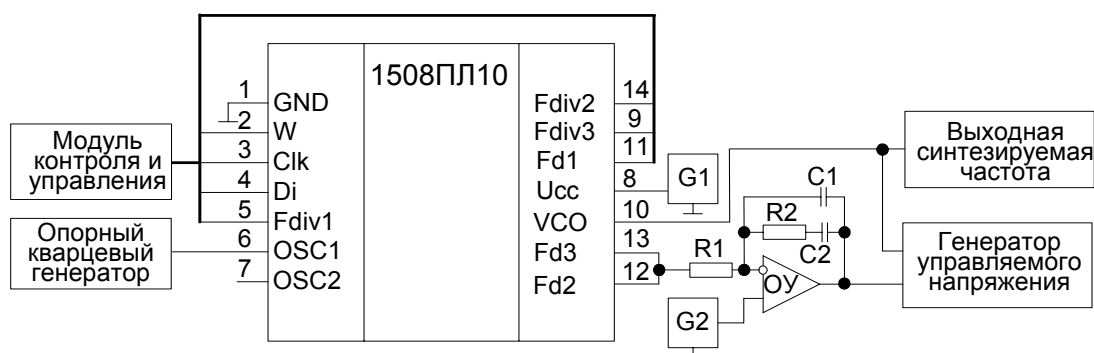
Вывод Fdiv3 используется как выход делителя основной частоты с заданным в управляющем регистре коэффициентом деления.

Вывод Fd1 используется как контрольный выход Look фазового детектора.

Вывод Fd2 используется как выход Down фазового детектора.

Вывод Fd3 используется как выход Up фазового детектора.

Все выходы функционируют в режиме открытых стоков. Все выходы кроме сигнала Up необходимо притягивать к питанию. Вывод Up притягивается к земле. Номиналы резисторов выбираются исходя из значений выходных токов: для выходов Fdiv1, Up, Dn - выходной ток 0,8 мА (предельно-допустимый резистор 4 кОм), для выходов Fdiv2, Fdiv3, Lock - 1,6 мА (предельно-допустимый резистор 2 кОм).



**Рисунок 3** Типовая схема включения микросхемы 1508ПЛ10АТ с внешним опорным генератором и токовым выходом фазового детектора, а также полным контролем работы микросхемы

1508ПЛ10АТ - включаемая микросхема;

G1, - источники постоянного напряжения,  $U_{CC} = 5 \text{ В} \pm 10\%$ ;

G2, - источники постоянного напряжения,  $U_{CC} = 2,5 \text{ В} \pm 10\%$ ;

OU\* - операционный усилитель;

C1\*, C2\* - конденсаторы фильтра,

R1, R2\* - резисторы,  $R1 = 3,5 \text{ кОм} \pm 1\%$  (E96)

$R2 =$  резистор фильтра

\*- Параметры фильтра определяются в зависимости от требуемых характеристик системы ФАПЧ

**Описание микросхемы 1508ПЛ10БТ**

Микросхема 1508ПЛ10БТ имеет следующие особенности:

- 1 Расширенный коэффициент деления основного сигнала
- 2 Расширенный коэффициент деления опорного сигнала
- 3 Управление функцией входа/выхода Fdiv2, Fdiv3
- 4 Управление полярностью фазового детектора
- 5 Управление токовым выходом фазового детектора
- 6 Управление шириной мертвой зоны
- 7 Управление выходами
- 8 Тестовые режимы работы микросхемы

1 Коэффициент деления входной частоты по входу VCO (10) задается через управляющее слово на входе Di (4) биты 1-16, 20-23. Распределение управляющих битов дано в таблице 2.

Загрузка данных производится с помощью 38 разрядного слова. Загрузка начинается со старшего 38 разряда. Тестовые разряды 31-35 пользователем устанавливаются в нуль (описание тестовых режимов дано в таблице 3). Ввод каждого разряда сопровождается тактовым импульсом по входу Clk. Загрузка данных в регистре происходит по отрицательному фронту сигнала синхронизации Clk. После окончания загрузки 38 разряда биты с 1-25 загружаются по уровню «1» сигнала W, а биты с 26-38 по заднему фронту W. При этом количество тактовых импульсов по входу Clk может быть больше 38, но значимыми разрядами будут последние 38.

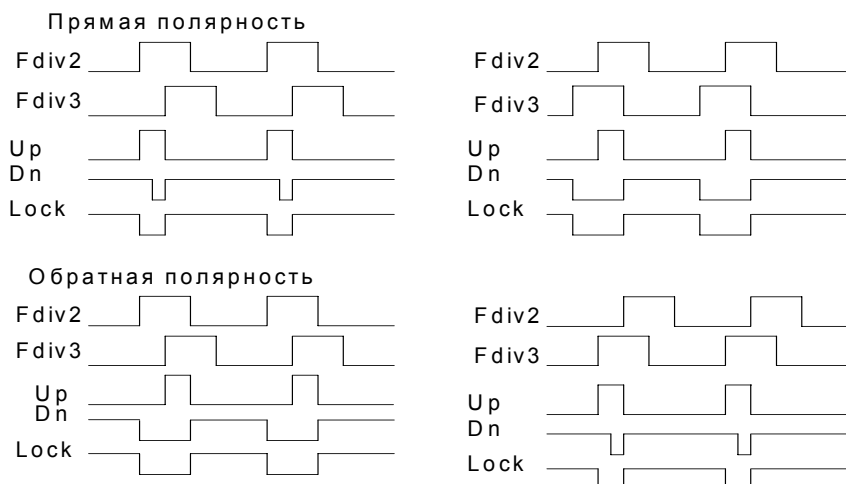
При выставленном сигнале W=1 регистр загрузки открыт, загрузка данных в регистр происходит по наличию тактовых импульсов по входу Clk. Временная диаграмма загрузки данных в микросхему приведена на рисунке 2.

2 Коэффициент деления опорной частоты  $f_{REF}$  по входу OSC1 (6) задается через управляющее слово на входе Di (4) согласно таблицам 5, 6 (биты  $K_{REF4}$ ,  $K_{REF3}$ ,  $K_{REF2}$ ,  $K_{REF1}$ ,  $K_{REF0}$ ).

3 В микросхеме предусмотрено использование фазового детектора в отдельности от всех остальных частей микросхемы, для этого необходимо перейти в режимы Kv и Kpo (см. таблицу 3) и подать сигналы на входы Fdiv2 и Fdiv3.

**4 Управление полярностью фазового детектора**

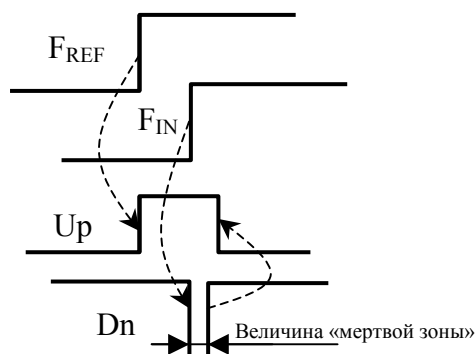
При выставленном управляющем разряде  $K_{П}=1$  полярность выводов фазового детектора меняется на противоположную.



**Рисунок 4** Диаграмма прямой и обратной полярности фазового детектора

5 В микросхеме предусмотрен режим токового выхода фазового детектора (ФД), для этого необходимо переключиться в режим Клт (см. таблицу 3) и на выход Dn подключить резистор R на землю, номинал которого не должен превышать 3,01 кОм. Рекомендуемый резистор 3,01 кОм из ряда E96, при этом номинал втекающего и вытекающего токов составит 1 мА. Для проверки тока утечки фазового детектора предусмотрен режим Kz перехода фазового детектора в третье состояние.

6 В микросхеме предусмотрено управление величиной «мертвой зоны», как указано в таблице 6 и определяется потребителем. На рисунке 5 представлена диаграмма, поясняющая значение «мертвой зоны».



**Рисунок 5** Диаграмма к пояснению термина «мертвой зоны».

7 В микросхеме предусмотрен управляющий разряд Кок, который переводит (см. таблицу 3) все выходы в активные логические состояния (КМОП выходы), т.е. для получения выходного сигнала не требуется внешних резисторов.

#### Выход Fdiv1.

Выход Fdiv1 используется как выход предделителя опорной частоты с коэффициентом деления определяемым управляющим кодом (см. таблицу 6). В микросхеме тип выхода, КМОП - выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления (см. таблицу 3). При Кок = лог «0» вывод Fdiv1 выход с открытым стоком. Рекомендуемый нагрузочный резистор не менее 4 кОм.

#### Выход Fdiv2.

Выход Fdiv2 используется как выход делителя опорной частоты с заданным в управляющем регистре коэффициентом деления (см. таблицу 5) или как независимый вход опорной частоты фазового детектора. В микросхеме функциональное назначение вывода Fdiv2 задается битом №3 (Кв) регистра управления. При Кв = лог «0» вывод Fdiv2 выход. Тип выхода, КМОП - выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления (см. таблицу 3). При Кок = лог «0» вывод Fdiv2 выход с открытым стоком.

#### Выход Fdiv3.

Выход Fdiv3 используется как выход делителя основной частоты с заданным в управляющем регистре коэффициентом деления или как независимый вход основной частоты фазового детектора. В микросхеме функциональное назначение вывода Fdiv3 задается битом №6 (Кпо) регистра управления. При Кпо = лог «0» вывод Fdiv3 выход. Тип выхода, КМОП - выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления (см. таблицу 3). При Кок = лог «0» вывод Fdiv3 выход с открытым стоком.

Вывод Fd1.

Вывод Fd1 используется как контрольный выход Look фазового детектора. В микросхеме тип выхода, КМОП-выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления. При Кок = лог «0» вывод Fd1 выход с открытым стоком.

Вывод Fd2.

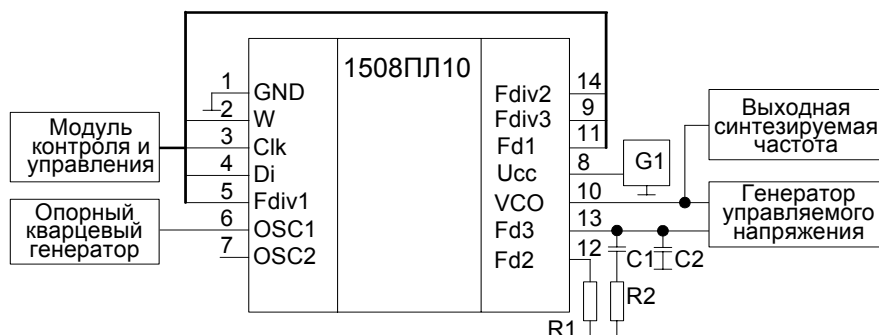
Вывод Fd2 используется как выход Down фазового детектора или как вход задания выходного тока фазового детектора. Функциональное назначение вывода Fd2 задается битом №7 (Клт) регистра управления (см. таблицу 3). При Клт= лог «0» вывод Fd2 выход, при Клт= лог «1» вывод Fd2 вход, рабочий ток фазового детектора определяется по формуле  $I_{FD}=3V/R_{in}$ , рекомендуемое значение внешнего резистора от 2кОм до 30кОм, резистор подключается к общему проводу.

В микросхеме при Клт = лог «0» тип выхода, КМОП-выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления. При Кок = лог «0» вывод Fd2 выход с открытым стоком.

Вывод Fd3.

Вывод Fd3 используется как выход Up фазового детектора. В микросхеме тип выхода, КМОП - выход или выход с открытым стоком, задается битом №28 (Кок) регистра управления (см. таблицу 3). При Кок= лог «0» вывод Fd3 выход с открытым стоком и активной лог. «1» (выходной транзистор P-типа).

8 Тестовые режимы используются только для тестирования микросхемы.



**Рисунок 6** Типовая схема включения микросхемы 1508ПЛ10БТ с внешним опорным генератором и токовым выходом фазового детектора, а также полным контролем работы микросхемы

1508ПЛ10БТ - включаемая микросхема;

G1, - источники постоянного напряжения,  $U_{CC}= 5 В \pm 10\%$ ;

C1, C2 - конденсаторы,  $C1^*= 10 нФ \pm 5 \%$ ;

$C2^*= 100 нФ \pm 5 \%$ ;

R1, R2 - резисторы,  $R1= 3.01 кОм \pm 1\% (E96)$

$R2^*= 10 кОм \pm 2\%$

\* - Параметры фильтра определяются в зависимости от требуемых характеристик системы Фазовой автоподстройки частоты (ФАПЧ).

Управляющие биты регистра команд при реализации данной схемы должны иметь следующие значения: Кв= лог «0», Кок= лог «1», Кпо= лог «0», Кпт= лог «1», Кз= лог «1».

## Спецификация 1508ПЛ10АТ, 1508ПЛ10БТ, К1508ПЛ10АТ, К1508ПЛ10БТ

Значения управляющих битов FD1, FD2 и Кп определяются разработчиком в соответствии с применяемым ГУН и требуемыми свойствами системы ФАПЧ в целом.

Коэффициент деления по опорному каналу определяется как произведения коэффициентов указанных в таблицах 5 и 6.

Коэффициент деления по основному каналу определяется значением числа указанного в разрядах К0-К19 таблице 2.

Таблица 2 Распределение содержимого управляющего кода.

ИС	Разряды регистра	Разряды управляющего кода	Принадлежность
1508ПЛ10Б	38	T_Amp_pres	Тестовые режимы
	37	T_Fop_o	
	36	T_vr	
	35	T_Pd	
	34	T_Del_m	
	33	Kz	Разряды управления
	32	FD1	
	31	FD0	
	30	Кв	
	29	Кп	
	28	Кок	
	27	Кпо	
26	Клт		
1508ПЛ10Б	25	K <sub>REF</sub> 4	Дополнительные старшие 2 разряда коэффициента деления опорного канала
	24	K <sub>REF</sub> 3	
	23	K19	Дополнительные старшие 4 разряда коэффициента деления основного канала
	22	K18	
	21	K17	
	20	K16	
1508ПЛ10А 1508ПЛ10Б	19	K <sub>REF</sub> 2	Коэффициент деления опорного канала
	18	K <sub>REF</sub> 1	
	17	K <sub>REF</sub> 0	
	16	K15	Коэффициент деления основного канала
	15	K14	
	14	K13	
	13	K12	
	12	K11	
	11	K10	Коэффициент деления основного канала
	10	K9	
	9	K8	
	8	K7	
	7	K6	
	6	K5	
	5	K4	
	4	K3	
3	K2		
2	K1		
1	K0		



Таблица 3 Значение управляющих разрядов (33-26 разряды управляющего кода)

№	Обозначение	Разряд управляющего кода	Значение
1, 2	FD1, FD0	32, 31	Соответствие кода FD1, FD0 и ширины импульса «мертвой зоны» приведена в таблице 4.
3	Кв	30	Разряд управления функцией вывода Fdiv2(14) 0 - вывод работает как выход 1 - вывод работает как вход
4	Кп	29	Разряд управления полярностью выводов ЧФД 0 - прямая полярность 1 - обратная полярность
5	Кок	28	Разряд управления типом выводов 0 - открытый сток (см. назначение выводов) 1 - КМОП выход
6	Кпо	27	Разряд управления функцией вывода Fdiv3(9) 0 - вывод работает как выход 1 - вывод работает как вход
7	Клт	26	Разряд управления источником тока 0 - источник тока на выводах ЧФД выключен 1 - источник тока на выводах ЧФД включен В этом режиме ЧФД имеет один выход, а к выходу Dn должен быть подключен внешний токозадающий резистор
8	Kz	33	Разряд управления «Z-состоянием» Фазового Детектора. 0 - режим выключен 1 - режим включен
9	T_Amp_pres	38	Проверка усилителя входной частоты и прескалера. Выход Enable – Fdiv1, входной сигнал подается на вход VCO. Коэффициент деления Enable – 248. 0 - режим выключен 1 - режим включен
10	T_Fop_o	37	Обход кварцевого осциллятора 0 - стандартный режим 1 - обход
11	T_vr	36	Проверка опорного напряжения на выходе Up Совместно с режимом T_Del_m, проверка поглощающего счетчика по выходу Fdiv1 ширина нуля. 0 - режим выключен 1 - режим включен
12	T_Pd	35	Проверка режима PowerDown. 0 - режим выключен 1 - режим включен
13	T_Del_m	34	Проверка основного и поглощающего делителей. Основной счетчик проверяется по выходу Fdiv3, поглощающий по ширине нуля выхода Fdiv1. Входной сигнал подается на вход Di. 0 - режим выключен 1 - режим включен

Таблица 4 Коэффициенты деления опорного канала микросхемы 1508ПЛ10А

<b>K<sub>REF2</sub></b>	<b>K<sub>REF1</sub></b>	<b>K<sub>REF0</sub></b>	<b>Коэффициент</b>
0	0	0	1600
0	0	1	800
0	1	0	400
0	1	1	200
1	0	0	2000
1	0	1	1000
1	1	0	500
1	1	1	100

Таблица 5 Коэффициенты деления опорного канала микросхемы 1508ПЛ10Б

<b>K<sub>REF4</sub></b>	<b>K<sub>REF3</sub></b>	<b>K<sub>REF2</sub></b>	<b>K<sub>REF1</sub></b>	<b>K<sub>REF0</sub></b>	<b>Коэффициент</b>
0	0	0	0	0	160
0	0	0	0	1	80
0	0	0	1	0	40
0	0	0	1	1	20
0	0	1	0	0	200
0	0	1	0	1	100
0	0	1	1	0	50
0	0	1	1	1	10
0	1	0	0	0	1280
0	1	0	0	1	640
0	1	0	1	0	320
0	1	0	1	1	160
0	1	1	0	0	1600
0	1	1	0	1	800
0	1	1	1	0	400
0	1	1	1	1	80
1	0	0	0	0	1600
1	0	0	0	1	800
1	0	0	1	0	400
1	0	0	1	1	200
1	0	1	0	0	2000
1	0	1	0	1	1000
1	0	1	1	0	500
1	0	1	1	1	100
1	1	0	0	0	2000

**Спецификация 1508ПЛ10АТ, 1508ПЛ10БТ, К1508ПЛ10АТ, К1508ПЛ10БТ**

<b>K<sub>REF4</sub></b>	<b>K<sub>REF3</sub></b>	<b>K<sub>REF2</sub></b>	<b>K<sub>REF1</sub></b>	<b>K<sub>REF0</sub></b>	<b>Коэффициент</b>
1	1	0	0	1	1000
1	1	0	1	0	500
1	1	0	1	1	250
1	1	1	0	0	2500
1	1	1	0	1	1250
1	1	1	1	0	625
1	1	1	1	1	125

Таблица 6 Коэффициенты деления опорного канала для выхода Fdiv1 микросхемы 1508ПЛ10Б

<b>K<sub>REF4</sub></b>	<b>K<sub>REF3</sub></b>	<b>Коэффициент</b>
0	0	10
0	1	80
1	0	100
1	1	125

Таблица 7 Соответствие кода FD1, FD0 и ширины импульса «мертвой зоны» микросхемы 1508ПЛ10Б

<b>FD1</b>	<b>FD0</b>	<b>Ширина импульса</b>
0	0	17 нс
0	1	29 нс
1	0	52 нс
1	1	100 нс

**Предельно допустимые характеристики микросхемы**

**Таблица 8**

№ п/п	Наименование параметра	Обозначение параметра	Предельно-допустимый режим		Предельный режим		Ед-цы измер
			не менее	не более	не менее	не более	
1	Напряжение питания	$U_{CC}$	4,5	5,5	-	7	В
2	Входное напряжение низкого уровня по цифровым выводам	$U_{IL}$	-	0,8	минус 0,3	-	В
3	Входное напряжение высокого уровня по цифровым выводам	$U_{IH}$	2,4	-	-	$U_{CC}+0,3$	В
4	Частота основного сигнала	$f$	10	1400	-	-	МГц
5	Частота опорного сигнала при входном цифровом сигнале	$f_{REF}$	-	50	-	-	МГц
6	Частота опорного сигнала при входном сигнале $U_{RMS\_OSC1}$	$f_{REF(RMS)}$	4	15	-	-	МГц
7	Среднеквадратичное значение входного напряжения, на выводе 10	$U_{I\_RMS}$	0,2	0,5	минус 0,3*	$U_{CC}+0,3$ *	В
8	Среднеквадратичное значение входного напряжения, на выводе 6	$U_{RMS\_OSC1}$	150	-	-	-	мВ
9	Емкость нагрузки	$C_L$	-	25	-	-	пФ

Стойкость к воздействию статического электричества 2 кВ.

**Электрические параметры микросхемы**

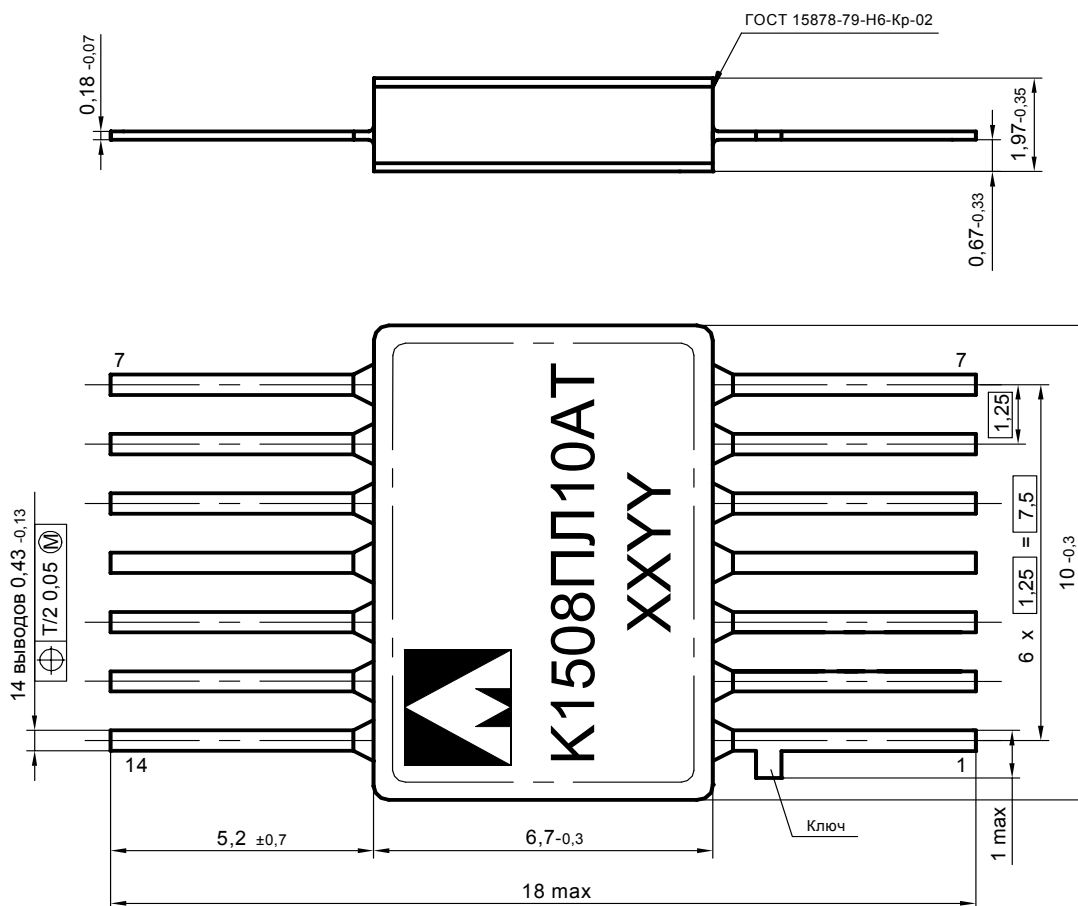
**Таблица 9**

№ п/п	Наименование параметра	Обозначение параметра	Условия измерения	Норма параметра		Ед-цы измер
				Мин.	Макс.	
<b>1508ПЛ10АТ, 1508ПЛ10БТ</b>						
1	Входной ток низкого уровня на цифровых выводах	$I_{IL}$	$U_I = 0$ В на выводах 2, 3, 4	-	$ \pm 1 $	мкА
2	Входной ток высокого уровня на цифровых выводах	$I_{IH\_C}$	$U_I = 5,5$ В на выводах 2, 3, 4	-	$ \pm 5 $	мкА
3	Входной ток высокого и низкого уровней на аналоговых выводах	$I_{IH\_A}$ $I_{IL\_A}$	$U_I = 5,5$ В на выводе 6	-	$ \pm 50 $	мкА
4	Динамический ток потребления	$I_{OCC}$	$f_{OSC1} = 15$ МГц; $f = 700$ МГц	-	30	мА
			$f_{OSC1} = 15$ МГц; $f = 1400$ МГц	-	45	мА
5	Статический ток потребления	$I_{CCS}$		-	60	мА
6	Ток утечки низкого уровня на входе VCO	$I_{ILL}$		-	15	мкА
<b>1508ПЛ10АТ</b>						
7	Выходное напряжение низкого уровня	$U_{OL}$	на выводах Fdiv1 (5), Fd2 (9) $I_{OL} = 0,8$ мА	-	0,45	В
			на выводах Fdiv2(11), Fdiv3(12), Fd1(14) $I_{OL} = 1,6$ мА	-	0,45	
8	Выходное напряжение высокого уровня	$U_{OH}$	$I_{OL} = 0,8$ мА	4,05	-	В
9	Кoeffициент деления основной частоты	K		240	65 535	
10	Кoeffициент деления опорной частоты	$K_{REF}$		100	2 000	
<b>1508ПЛ10БТ</b>						
11	Выходное напряжение низкого уровня	$U_{OL}$	на выводах Fdiv1 (5), Fd2 (9) $I_{OL} = 0,8$ мА	-	0,45	В
			на выводах Fdiv2(11), Fdiv3(12), Fd1(14) $I_{OL} = 1,6$ мА	-	0,45	
12	Выходное напряжение высокого уровня	$U_{OH}$	на выводе 13, на выводах Fdiv1 (5), Fd2 (9) $I_{OL} = 0,8$ мА	4,05	-	В
			на выводах Fdiv2(11), Fdiv3(12), Fd1(14) $I_{OL} = 1,6$ мА	4,05	-	

**Спецификация 1508ПЛ10АТ, 1508ПЛ10БТ, К1508ПЛ10АТ, К1508ПЛ10БТ**

№ п/п	Наименование параметра	Обозначение параметра	Условия измерения	Норма параметра		Ед-цы измер
				Мин.	Макс.	
13	Опорное напряжение в режиме тестового токового выхода Fd3 (13)	$U_{REF\_T}$		1,15	1,25	В
14	Выходной ток фазового детектора в режиме токового выхода	$I_{O\_FD}$	$R_{BH}=3,01$ кОм на выводе 13	0,93	1,07	мА
15	Ток утечки фазового детектора в режиме токового выхода	$I_{OL\_FD}$	на выводах 11, 12, 13	-	5	нА
				-	100	
16	Ток потребления в состоянии «Выключено»	$I_{CCZ}$	на выводе 8	-	1	мкА
17	Частота следования импульсов в режиме «входов»	$f_{DIV}$	на выводах Fdiv2 (14), Fdiv3(9)	-	5	МГц
18	Относительная погрешность втекающего и вытекающего тока фазового детектора в режиме токового выхода	$\Delta X_{FD}$	$U_I > 1,2$ В, $U_I < U_{CC} - 1,2$ В на выводе 13	-	2	%
19	Коэффициент деления основной частоты	K		240	1 048 575	
20	Коэффициент деления опорной частоты	$K_{REF}$		10	2 500	

**Габаритный чертеж микросхемы**



**Рисунок 7 - Корпус 401.14-5**

**Информация для заказа**

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1508ПЛ10АТ	1508ПЛ10АТ	401.14-5	минус 60...125 °С
К1508ПЛ10АТ	К1508ПЛ10АТ	401.14-5	минус 60...85 °С
К1508ПЛ10ВТ	К1508ПЛ10АТ <sup>•</sup>	401.14-5	0...85 °С
1508ПЛ10БТ	1508ПЛ10БТ	401.14-5	минус 60...125 °С
К1508ПЛ10БТ	К1508ПЛ10БТ	401.14-5	минус 60...85 °С
К1508ПЛ10ГТ	К1508ПЛ10БТ <sup>•</sup>	401.14-5	0...85 °С

Микросхемы с приемкой «ВП» дополнительно маркируются ромбом.  
 Микросхемы, название которых содержит в начале букву «К» имеют приемку «ОТК».